ETH zürich

29.10.2020

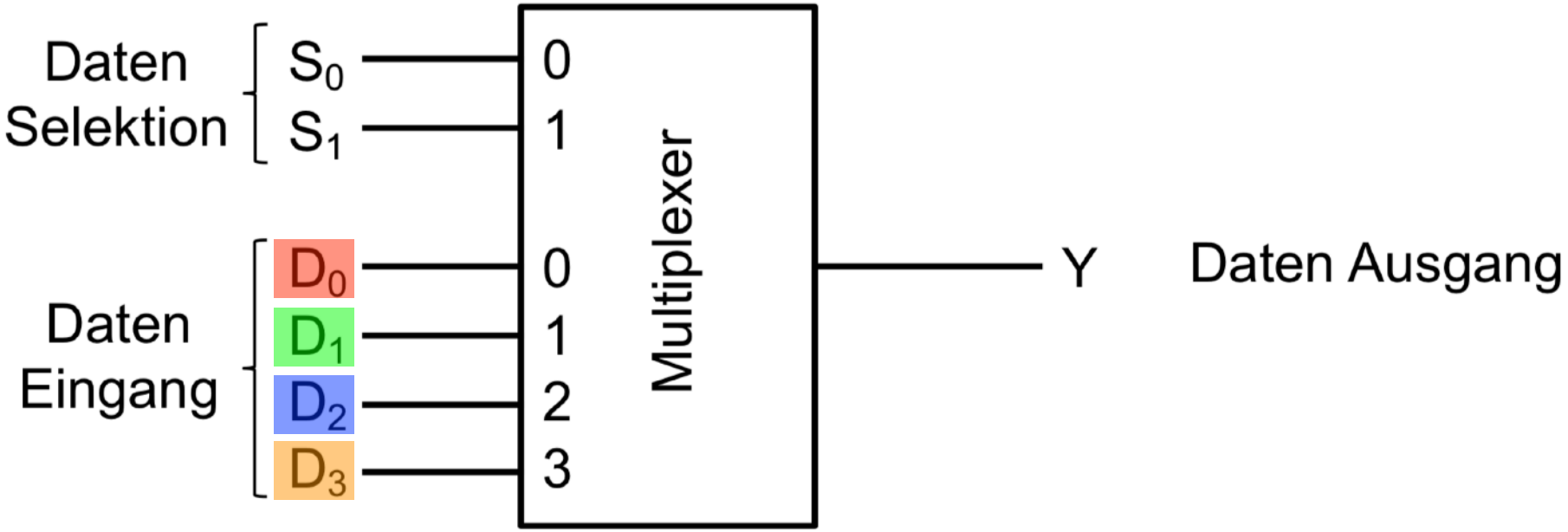
Übung 6
Rechenschaltungen

Josephine Loehle
jloehle@student.ethz.ch

Theorie

Multiplexer

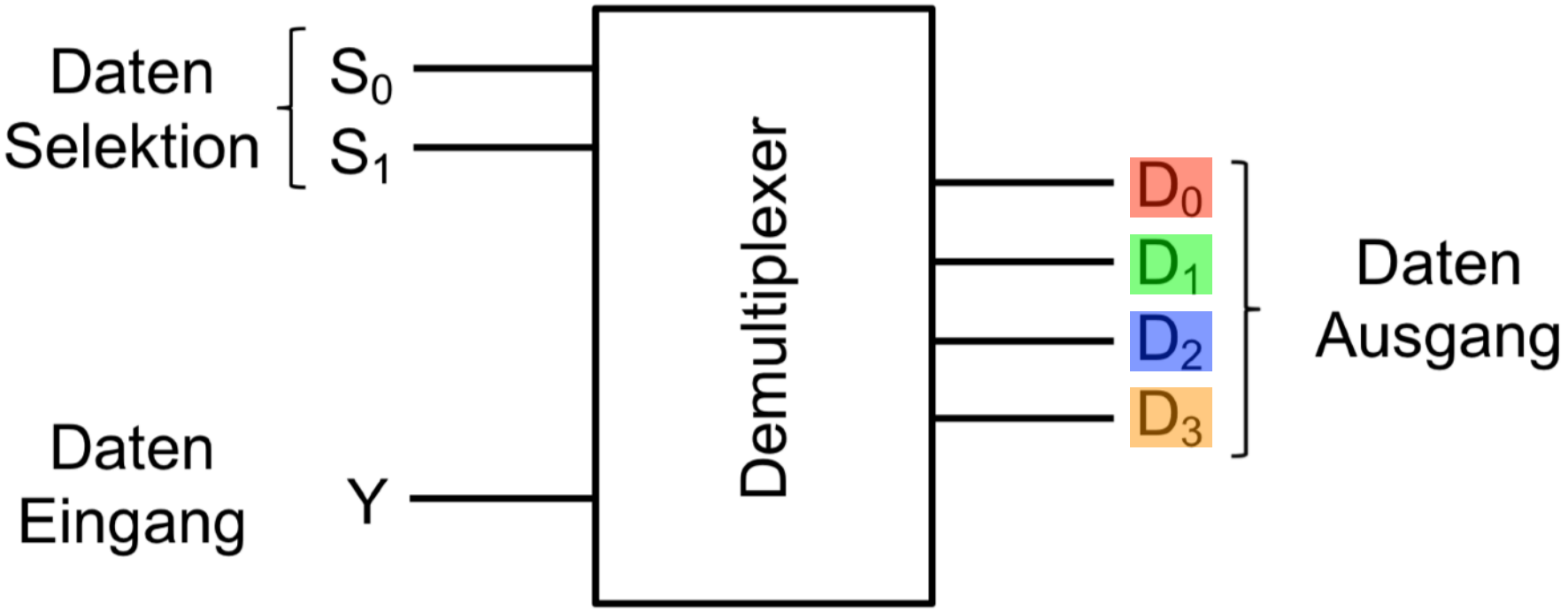
Mehrere Eingänge auf einen Ausgang



$$Y = (\overline{S_0} \wedge \overline{S_1} \wedge D_0) \vee (\overline{S_0} \wedge S_1 \wedge D_1) \vee (S_0 \wedge \overline{S_1} \wedge D_2) \vee (S_0 \wedge S_1 \wedge D_3)$$

Demultiplexer

Ein Eingang auf mehrere Ausgänge

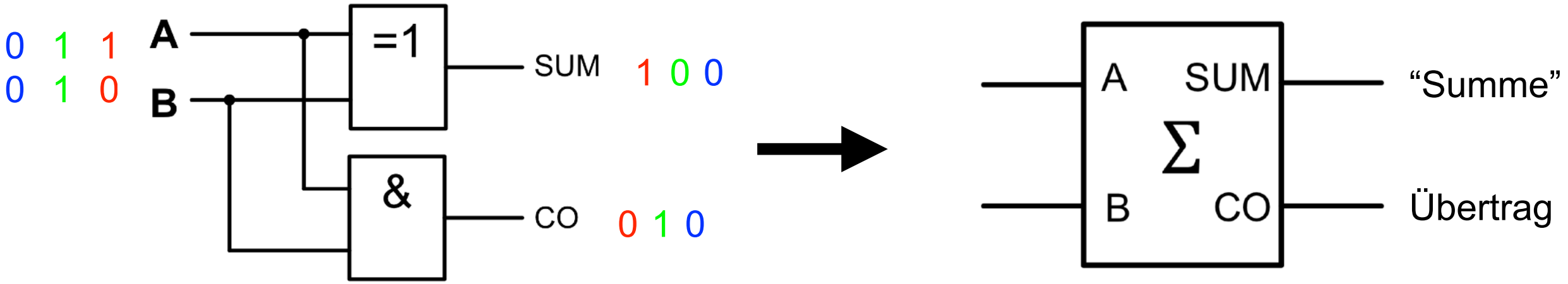


$$D_0 = \overline{S_0} \wedge \overline{S_1} \wedge Y, \qquad D_1 = \overline{S_0} \wedge S_1 \wedge Y,$$

$$D_2 = S_0 \wedge \overline{S_1} \wedge Y, \qquad D_3 = S_0 \wedge S_1 \wedge Y$$

Halbaddierer

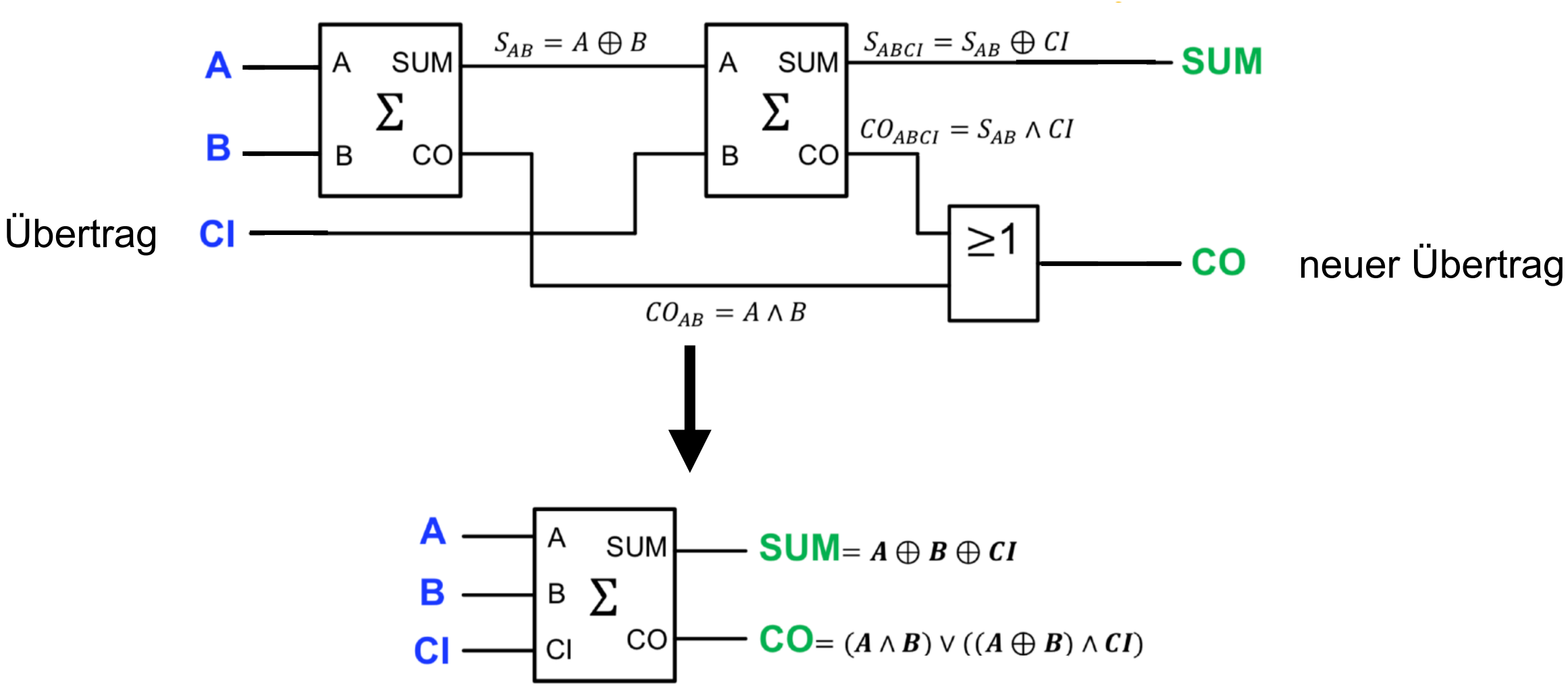
- Um 2 Bits zu addieren



Was machen wir, wenn wir 3 Bits addieren wollen?

Volladdierer

- Um 3 Bits zu addieren
- A + B + C = (A + B) + C



Mehrbit-Addierer

- Wir wollen ganze Dualzahlen addieren

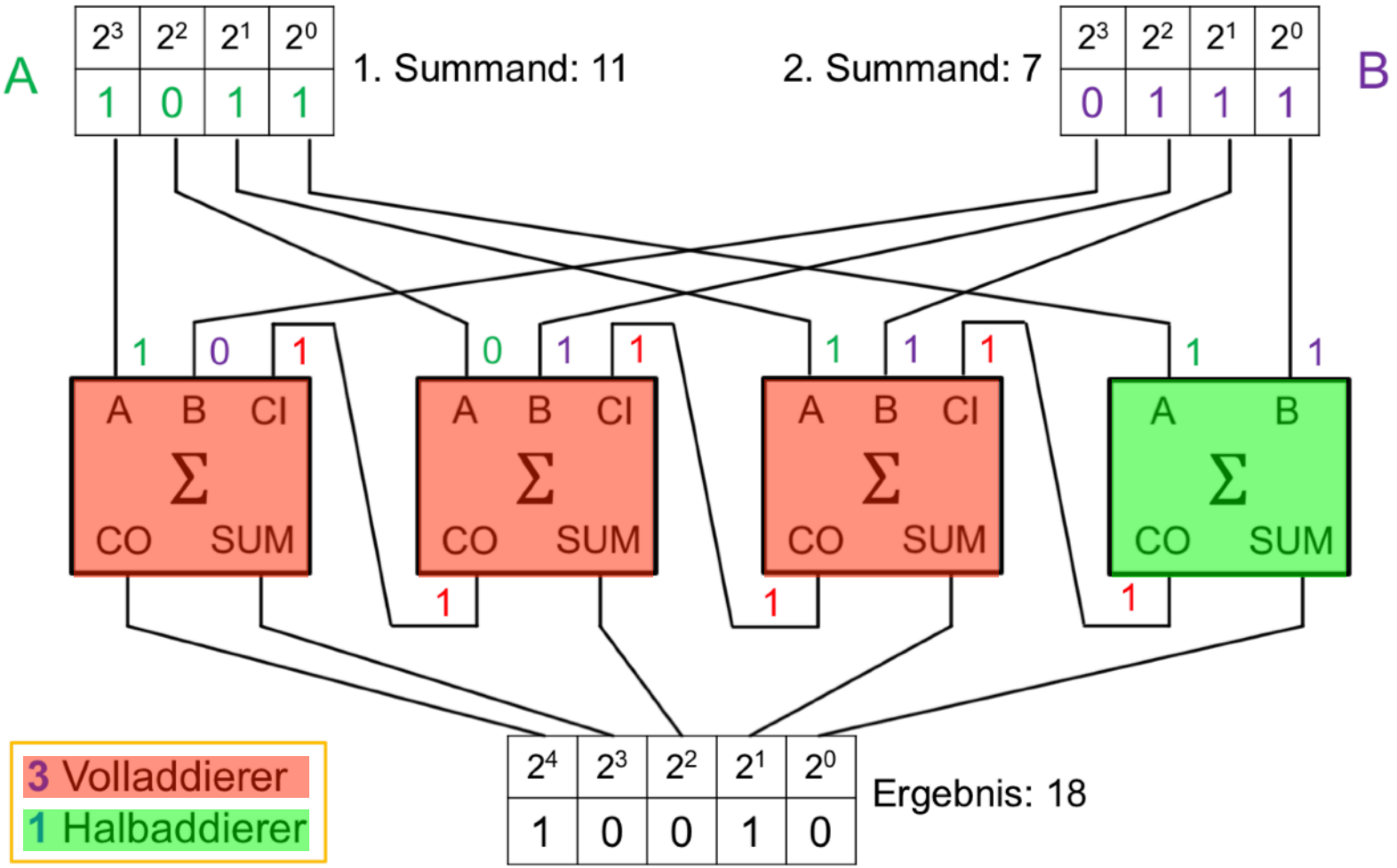
- Serienaddierer: in jedem Taktschritt wird eine Stelle addiert
- Paralleladdierer: in einem Taktschritt werden alle Stellen addiert

Paralleladdierer

- Für jedes Bit eine Schaltung generieren
  - S_0 = A_0 + B_0
  - S_1 = A_1 + B_1 + C0_0

- Vorteile
  - Schnell, da die Daten max. durch 3 Gatter müssen
- Nachteile
  - sehr Schaltungsaufwendig

Ripple-Carry Addierer



Ripple-Carry Addierer II

- Vorteile
  - Schaltungsaufwand wächst linear
  - Einfach erweiterbar

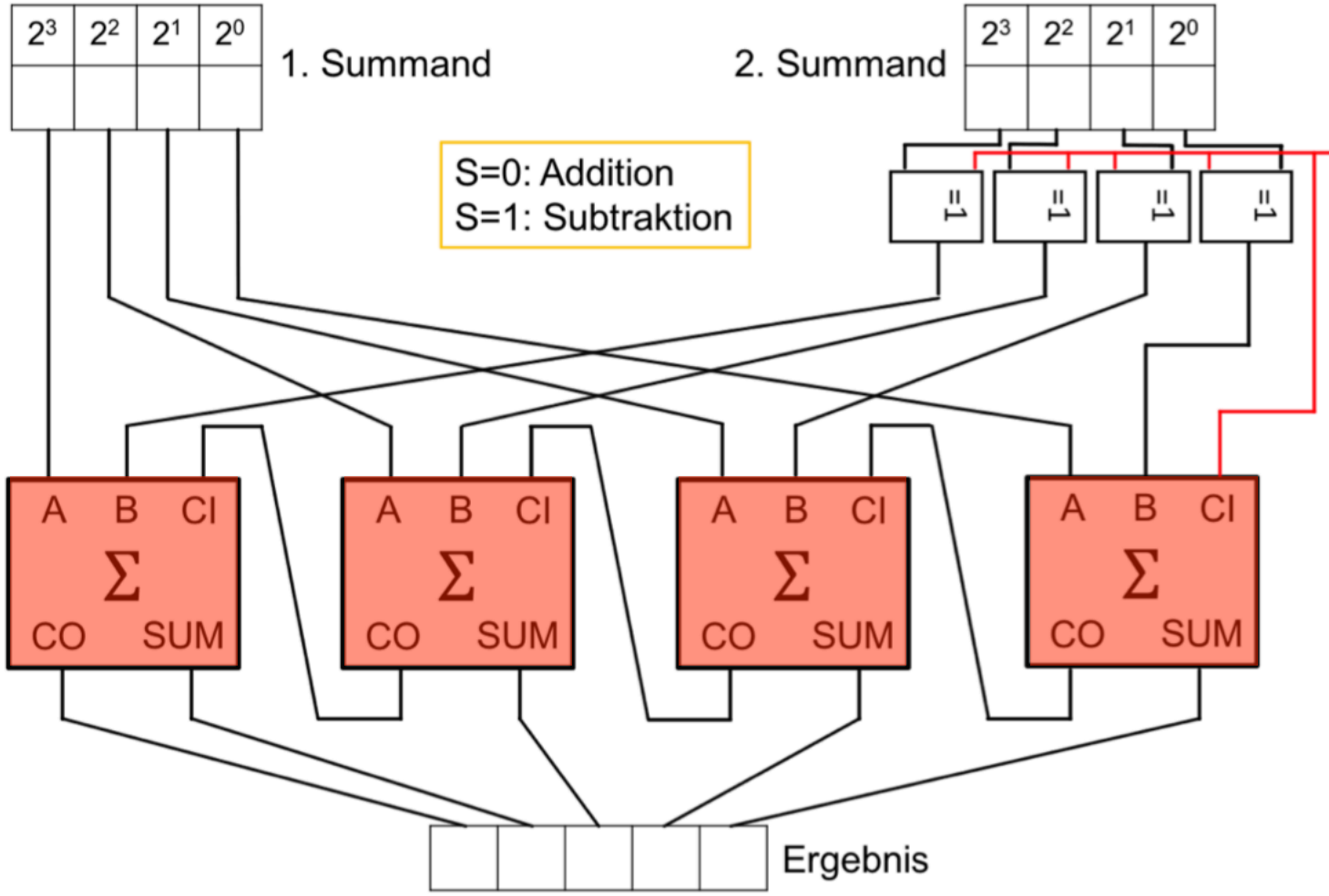
- Nachteile
  - langsam, da die Daten durchrieseln müssen

Carry-Lookahead Addierer

- Addierer werden kaskadiert
- Überträge werden parallel berechnet

- Vorteile
  - Gleich schnell wie der Paralleladdierer
  - Schaltungsaufwand wächst linear (wie bei Ripple-Carry)

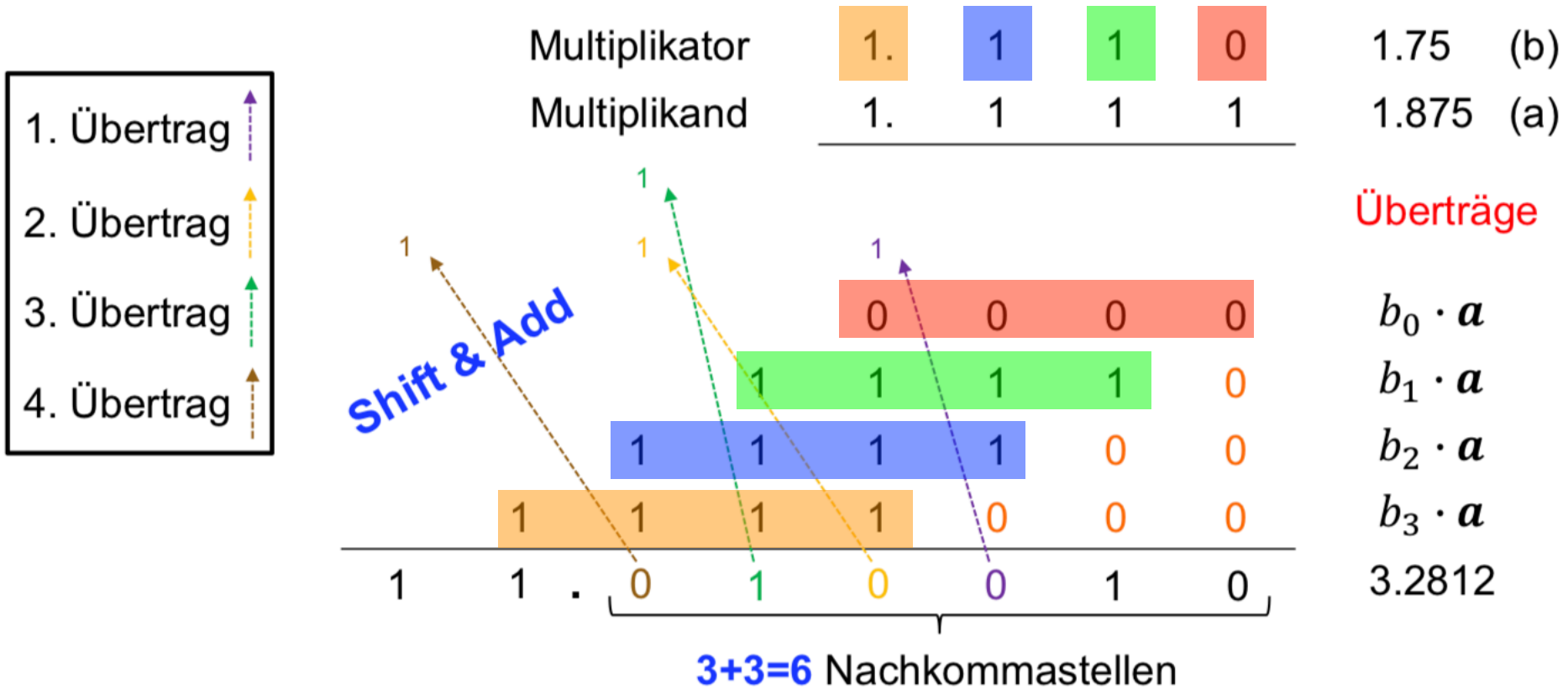
Subtrahierer



S = 0: Addition

S = 1: Subtraktion

Multiplikation von Binärzahlen



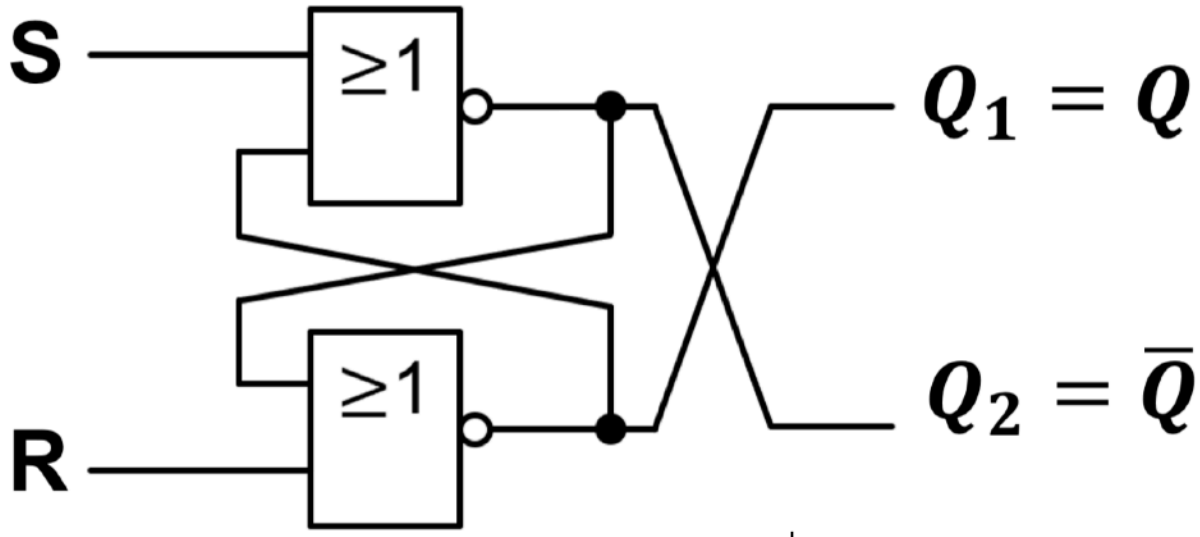
Kombinatorische Schaltungen

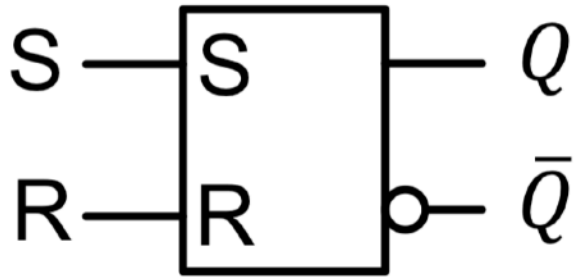
- Ausgang hängt nur von den Eingängen und Gattern ab
- Bisher nur solche betrachtet

Sequentielle Schaltungen

- Besitzen Rückkoppelungen
- jetzt neu

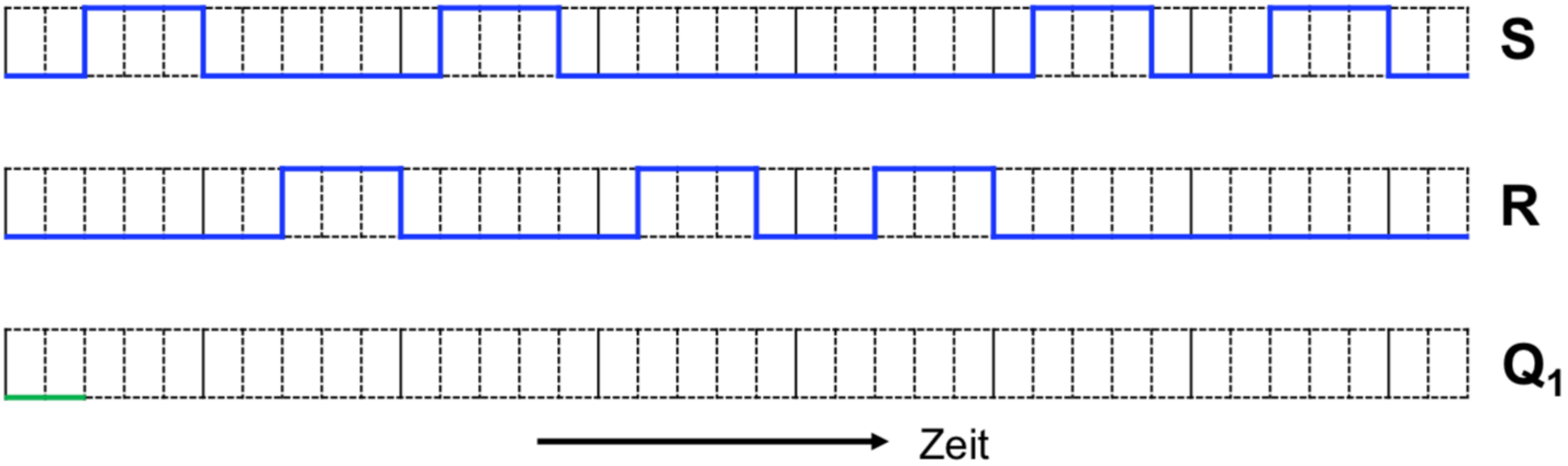
SR-Latch



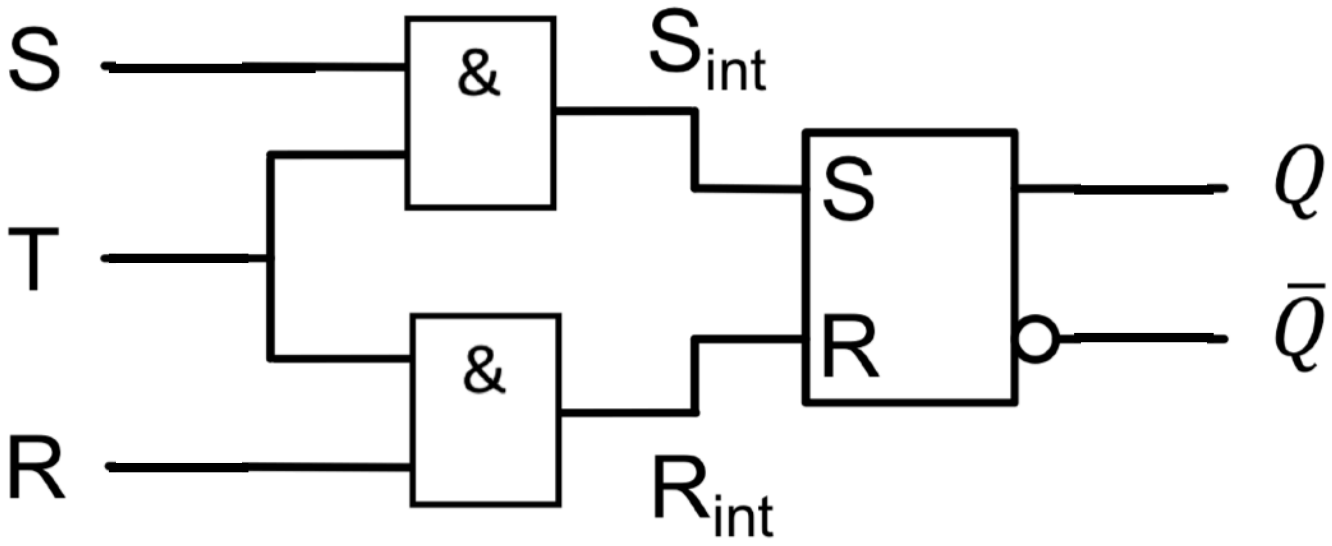


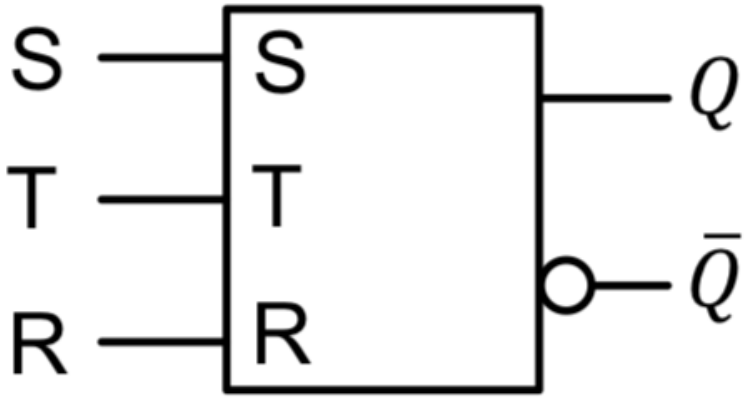
Fall	S	R	Q_{1n}	Q_{1n+1}	
1	0	0	0	0	speichern
2	0	0	1	1	
3	0	1	0	0	rücksetzen
4	0	1	1	0	
5	1	0	0	1	setzen
6	1	0	1	1	
7	1	1	0	X	unzulässig
8	1	1	1	X	

SR-Latch - Aufgabe



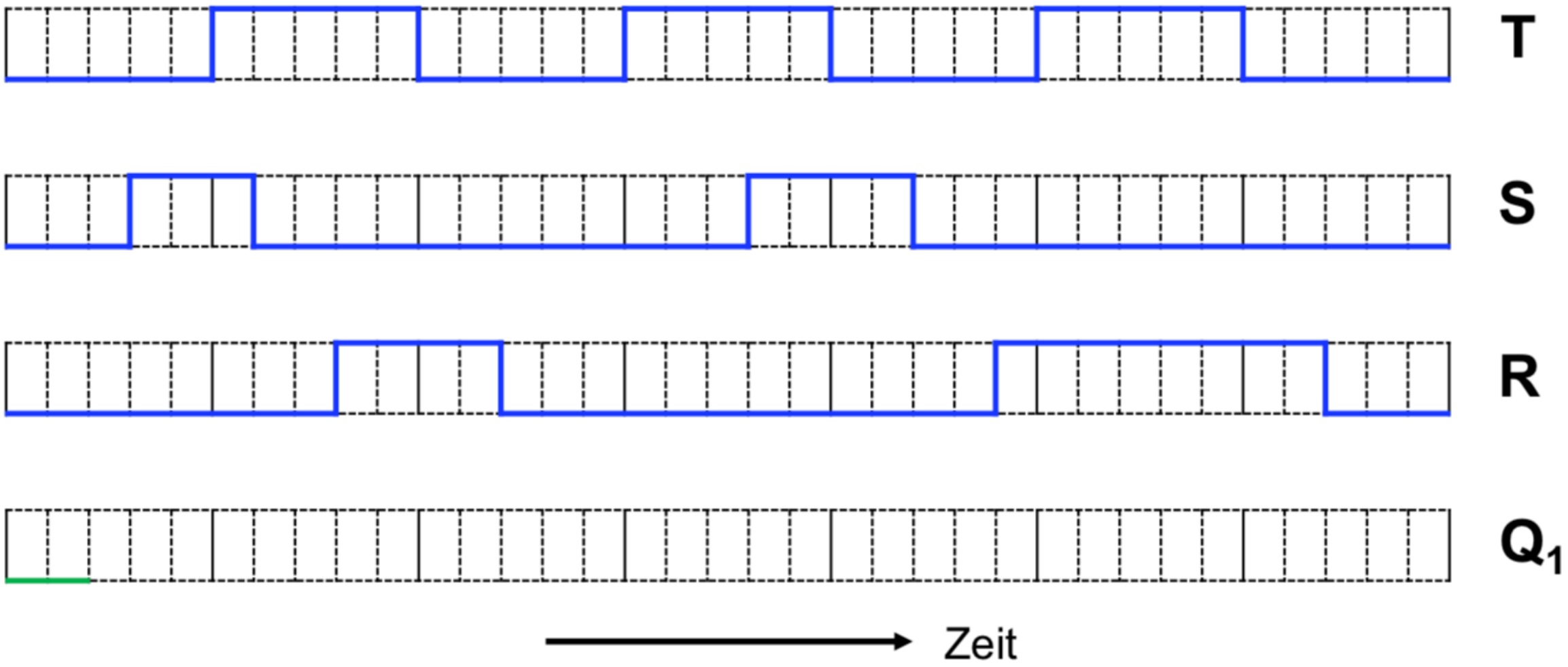
Taktzustandgesteuertes SR-Latch



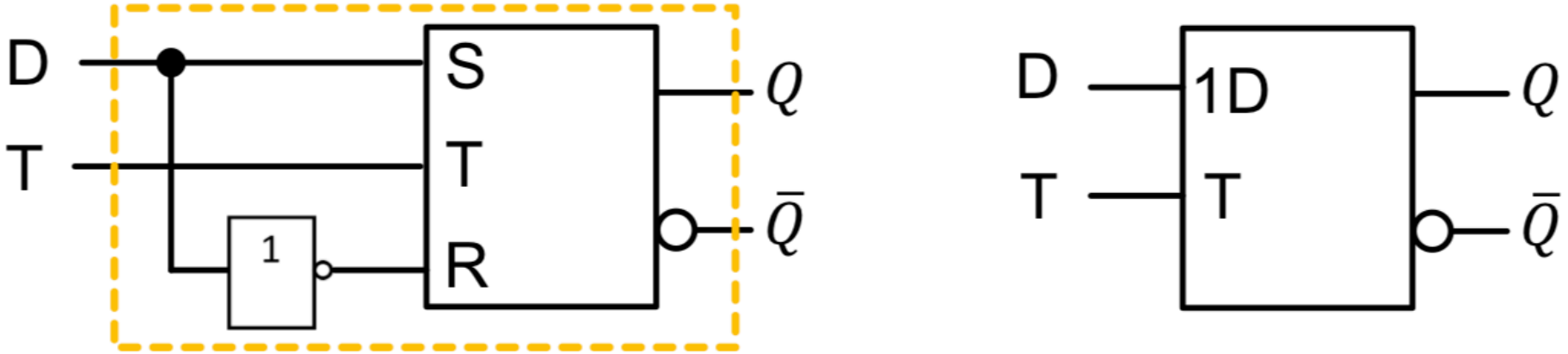


Gleich wie SR-Latches, nur dass sich Q nur verändern kann, wenn T = 1

Taktzustandgesteuertes SR-Latch – Aufgabe



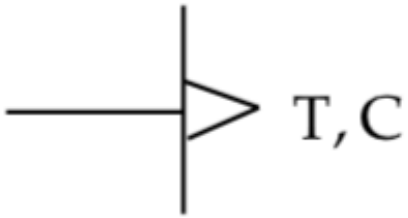
D-Latches



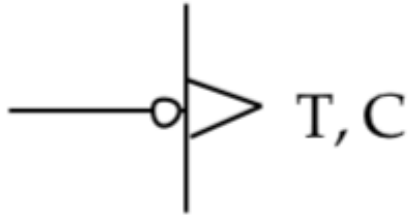
- Die Eingangskombination R = S = 1 wird verhindert
- Q = D während T = 1
- Bei T = 0 wird der letzte Wert vor dem Übergang beibehalten

Flipflops

- TaktFLANKENgesteuert

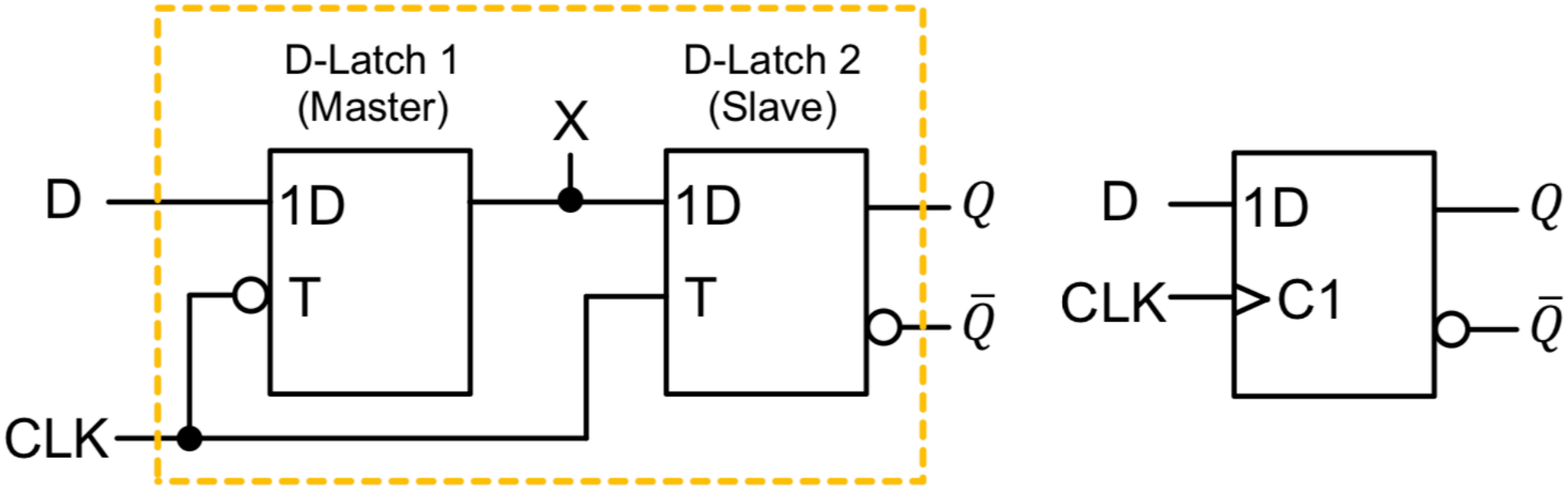


Eingangsvariable werden beim
0 - 1 Übergang von C wirksam



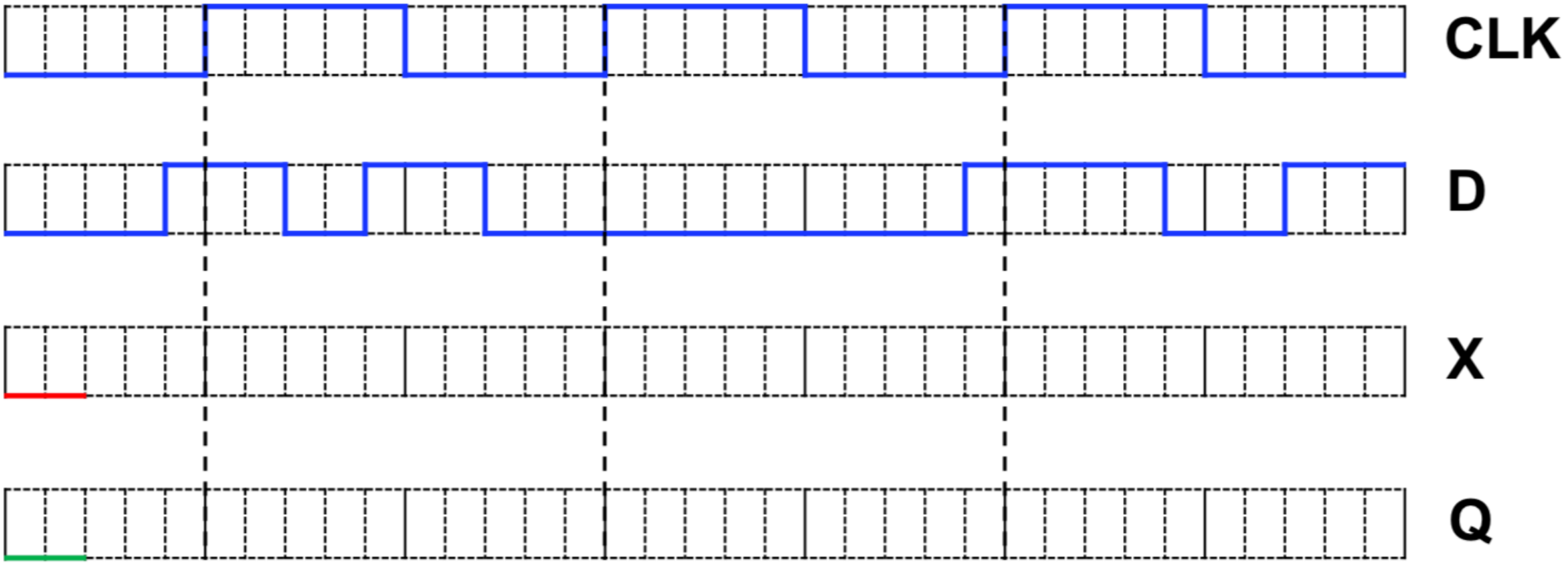
Eingangsvariable werden beim
1 - 0 Übergang von C wirksam

D-Flipflop

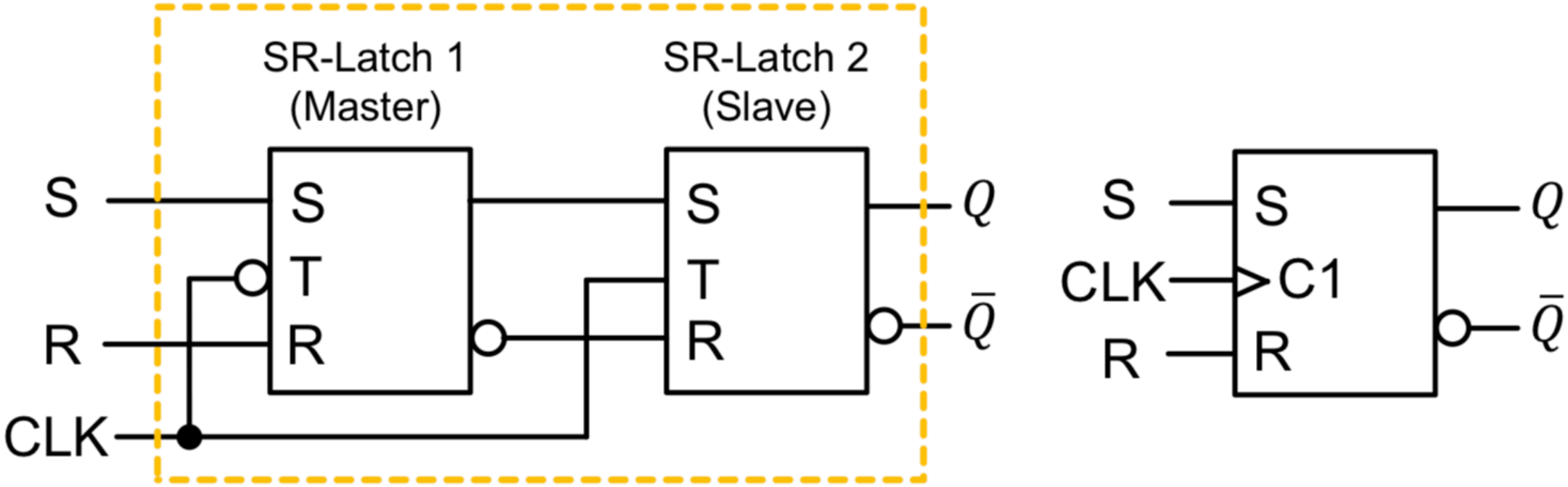


Ausgang wird zu D bei jeder positiven Taktflanke

D-Flipflop – Aufgabe



SR-Flipflop


SR-Latch 1
(Master)
SR-Latch 2
(Slave)
S
R
CLK
S
T
R
S
T
R
Q
$\bar{Q}$
S
CLK
R
S
C1
R
Q
$\bar{Q}$

Zeitverhalten von Flipflops

- t_pd = Verzögerungszeit (Durchlaufzeit)
- t_s = Setup-Zeit (Wie lange ein Signal vor einer Taktflanke unverändert sein muss)
- t_h = Hold-Zeit (Wie lange ein Signal nach einer Taktflanke unverändert sein muss)

$$T_{min} - t_{s,ff2} \geq t_{pd,ff1} + t_{pd,ks}$$

$$f_{max} = 1/T_{min}$$

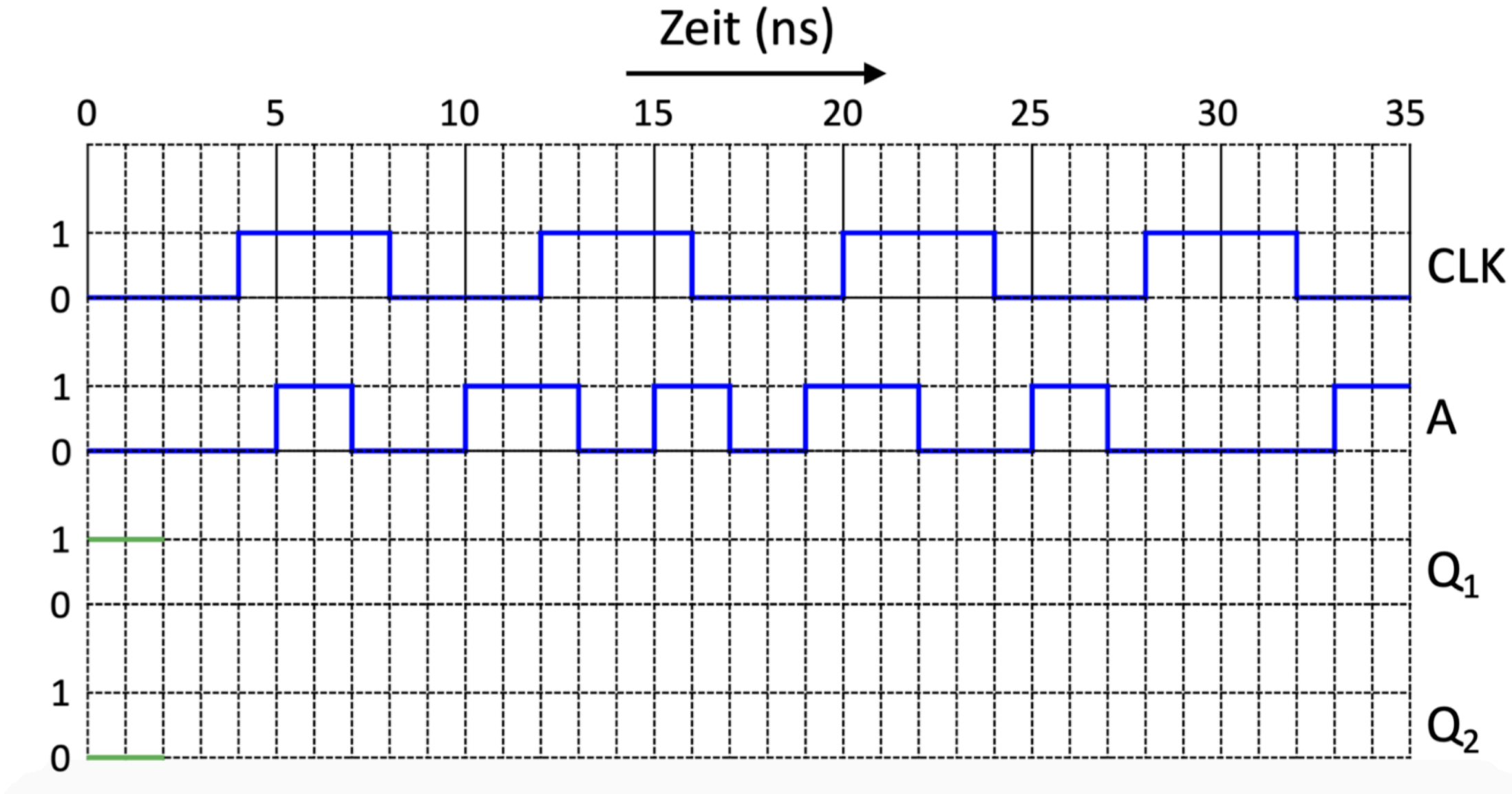
Aufgabe

Abbildung D1: Bauelemente

Aufgaben

1. Benennen Sie die Bauelemente aus Abbildung D1. Beschreiben Sie auch, wie sie vom CLK Signal gesteuert werden. (2 Punkte)

2. Vervollständigen Sie das Zeitdiagramm auf dem Lösungsblatt für die Bauelemente aus Abbildung D1. Es wird angenommen, dass diese Bauelemente keine Verzögerungszeiten haben. (4 Punkte)


Zeit (ns)
0
5
10
15
20
25
30
35
1
0
CLK
1
0
A
1
0
Q_1
1
0
Q_2

Vorbesprechung

Serie 6

- Aufgabe 5
  - Analog zu der Herleitung des SR-Latch mit NOR (Vorlesungsfolien)