

Digitaltechnik Übung 1

Matteo Dietz
mdietz@student.ethz.ch



Polybox

► <https://polybox.ethz.ch/index.php/s/VehRU12QqdJv98i>



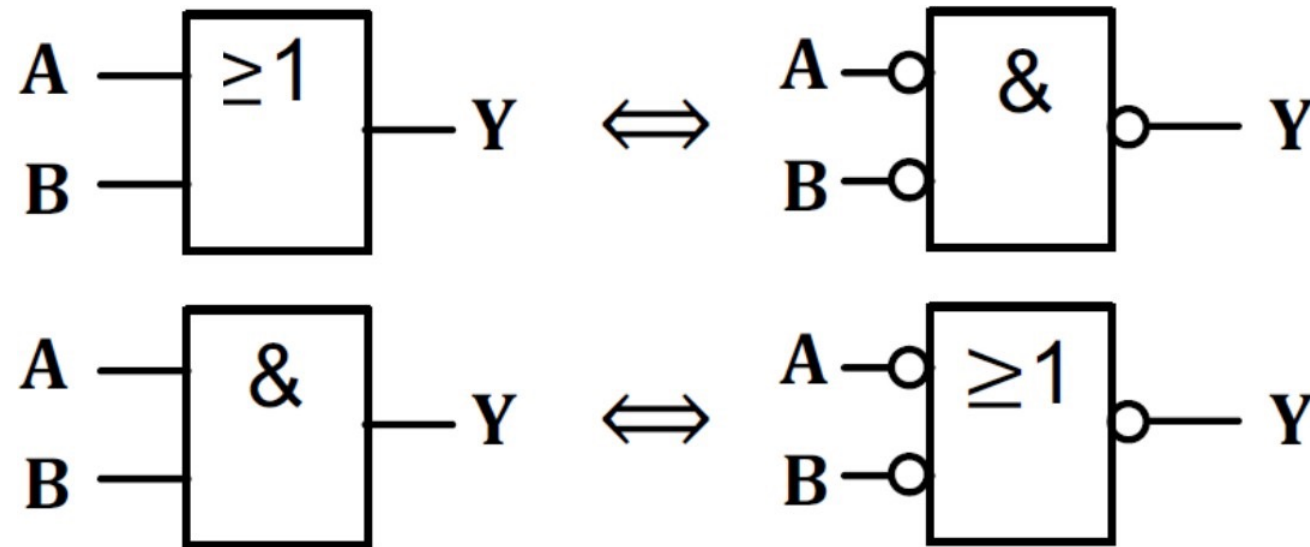
Nachbesprechung Serie 1

- Unbedingt abgeben! Bonus ist fast geschenkt
- Falls ihr die Serie auf Papier gelöst habt, könnt ihr mir das gerne auch in der Pause kurz zeigen. Dann kann ich euch den Punkt geben.

Tipp zur Schaltungsanalyse

- Wenn man alle Eingänge und Ausgänge invertiert, wird...
 - ...AND zu OR
 - ...OR zu AND
- Das folgt aus der Boole'schen Algebra (nächste Woche)

$$\overline{A \wedge B} = \bar{A} \vee \bar{B}$$
$$\overline{A \vee B} = \bar{A} \wedge \bar{B}$$



CMOS Technologie

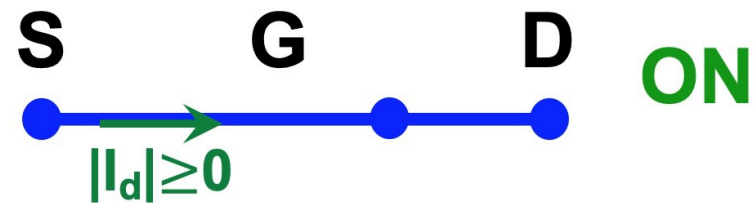
- Diese Woche lernen wir die CMOS Technologie kennen.
➔ Wieso? Weil man damit Gatter bauen kann (NAND, NOR, NOT)
- CMOS = **Complementary metal-oxide-semiconductor**
- NAND und NOR sind sogenannte Universalgatter: Man kann jedes Grundgatter nur mit NAND Gates oder nur mit NOR Gates konstruieren!
- Versucht mal aus NAND Gates ein NOT Gate zu konstruieren (Tipp: Denkt an Serie 1!)



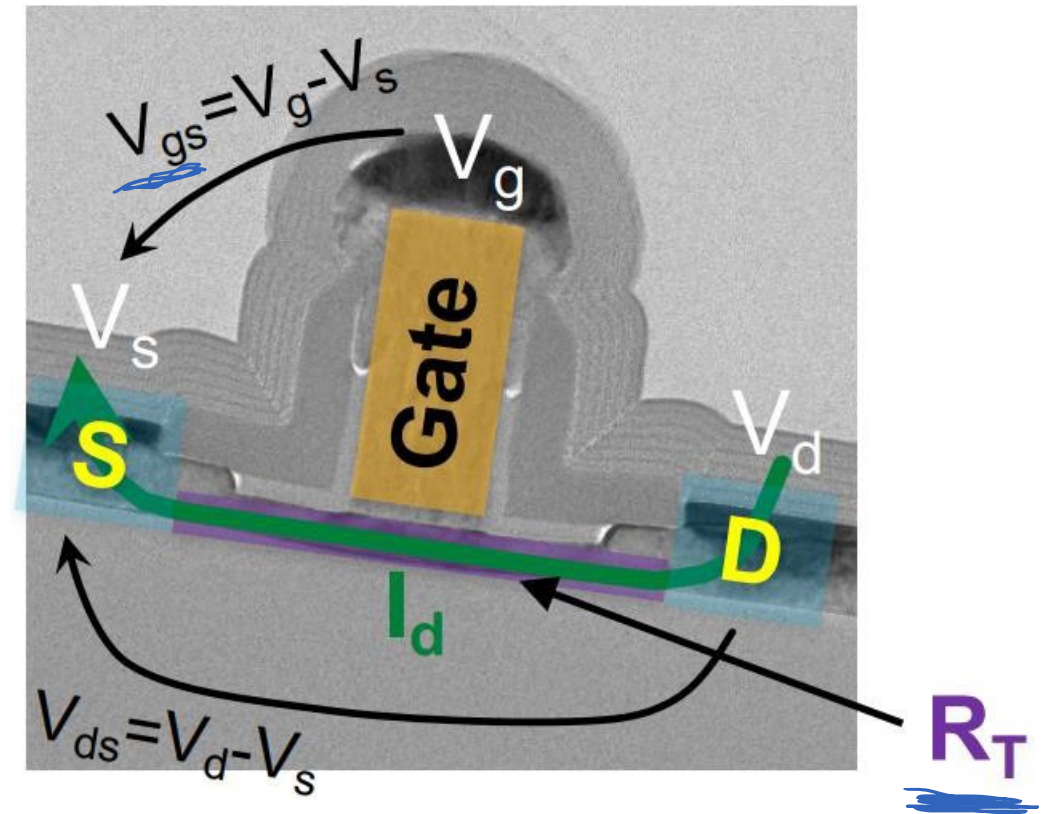
Theorie – MOS Transistoren

Ziel: Steuerbare Schalter entwerfen

$|V_{gs}| < |V_{th}|$ (Schwellspannung): Schalter auf



$|V_{gs}| > |V_{th}|$ (Schwellspannung): Schalter zu

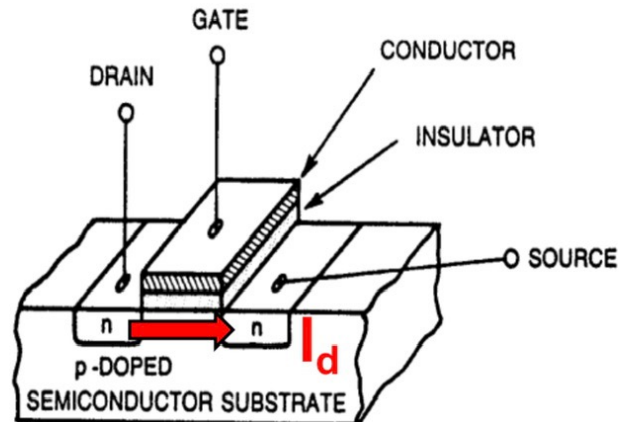


CMOS Technologie

N-Typ (NMOS)

NMOS-
Transistor

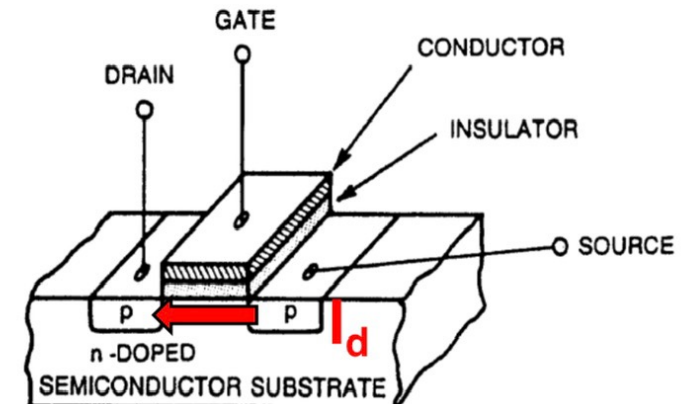
N: negative
Ladungen
(Elektronen)



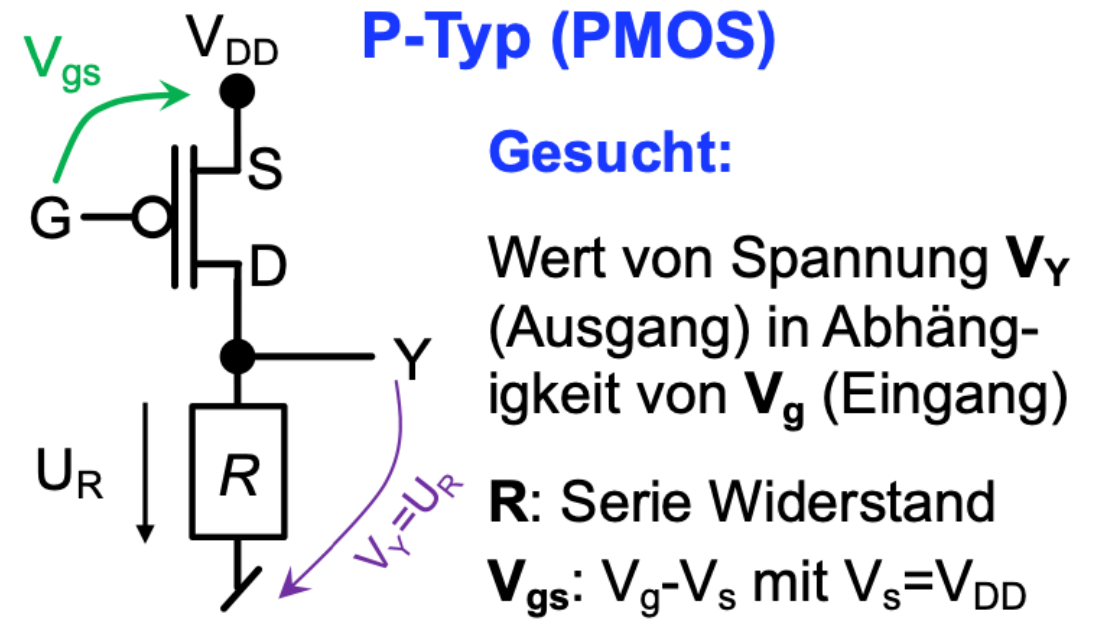
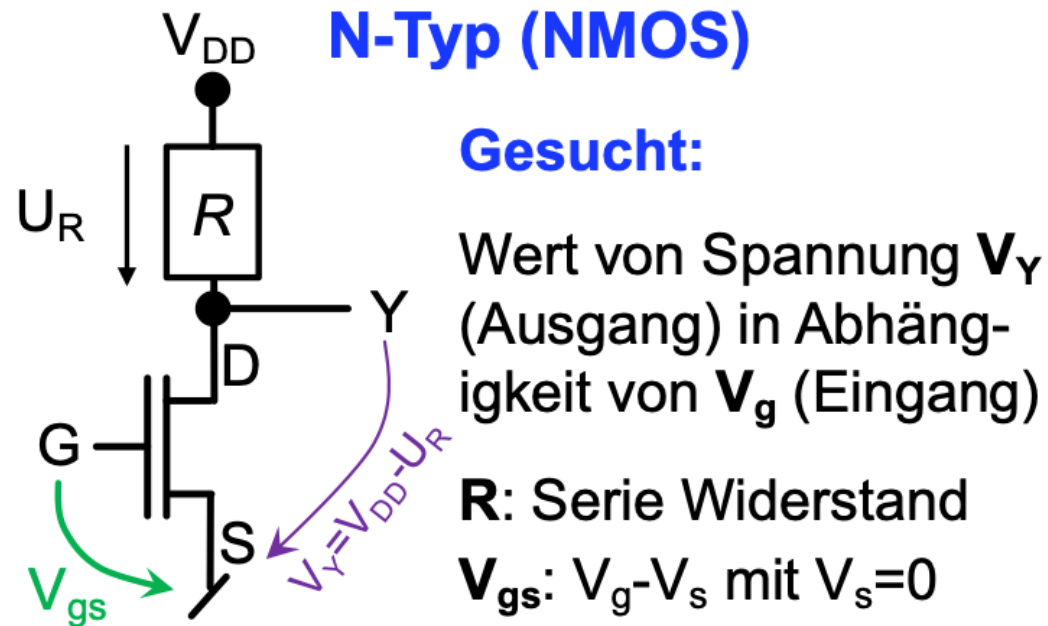
P-Typ (PMOS)

PMOS-
Transistor

P: positive
Ladungen
(*'Löcher'*)

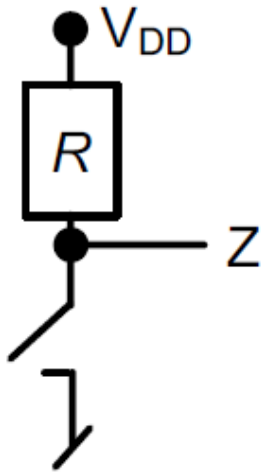


Theorie – CMOS (Complementary MOS)

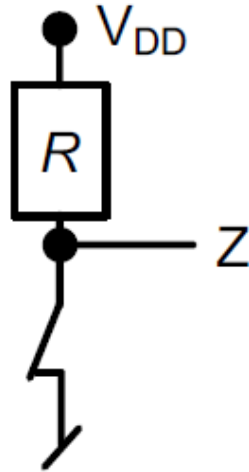


Theorie – CMOS (Complementary MOS)

NMOS (Pull-down)

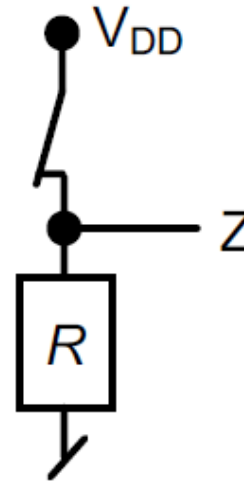


$V_g=0$, T inaktiv
 $\Rightarrow$ kein Strom
 $\Rightarrow V_z=V_{DD}$

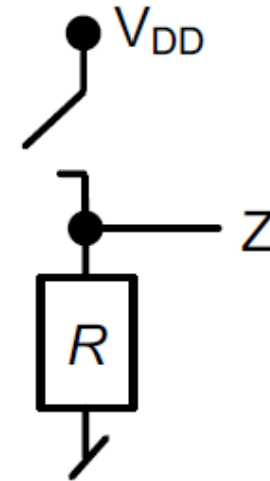


$V_g=V_{DD}$, T aktiv
 $\Rightarrow I_d=V_{DD}/R$
 $\Rightarrow \mathbf{V_z=0}$

PMOS (Pull-up)



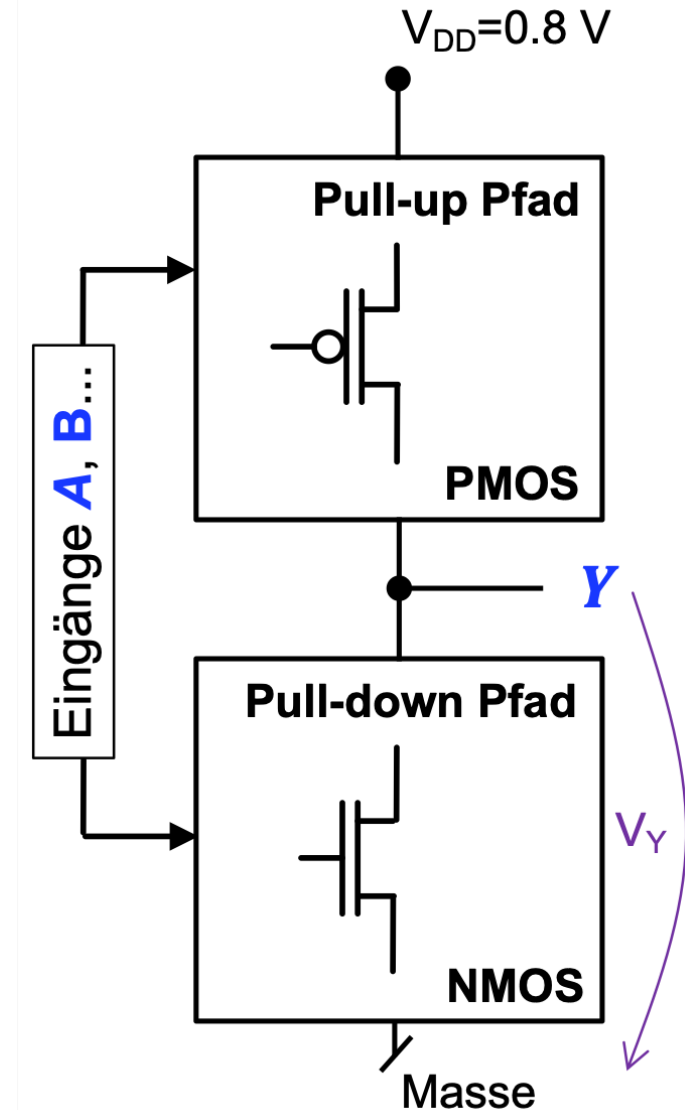
$V_g=0$, T aktiv
 $\Rightarrow I_d=V_{DD}/R$
 $\Rightarrow \mathbf{V_z=V_{DD}}$



$V_g=V_{DD}$, T inaktiv
 $\Rightarrow$ kein Strom
 $\Rightarrow V_z=0$

Theorie – Pull-Prinzip

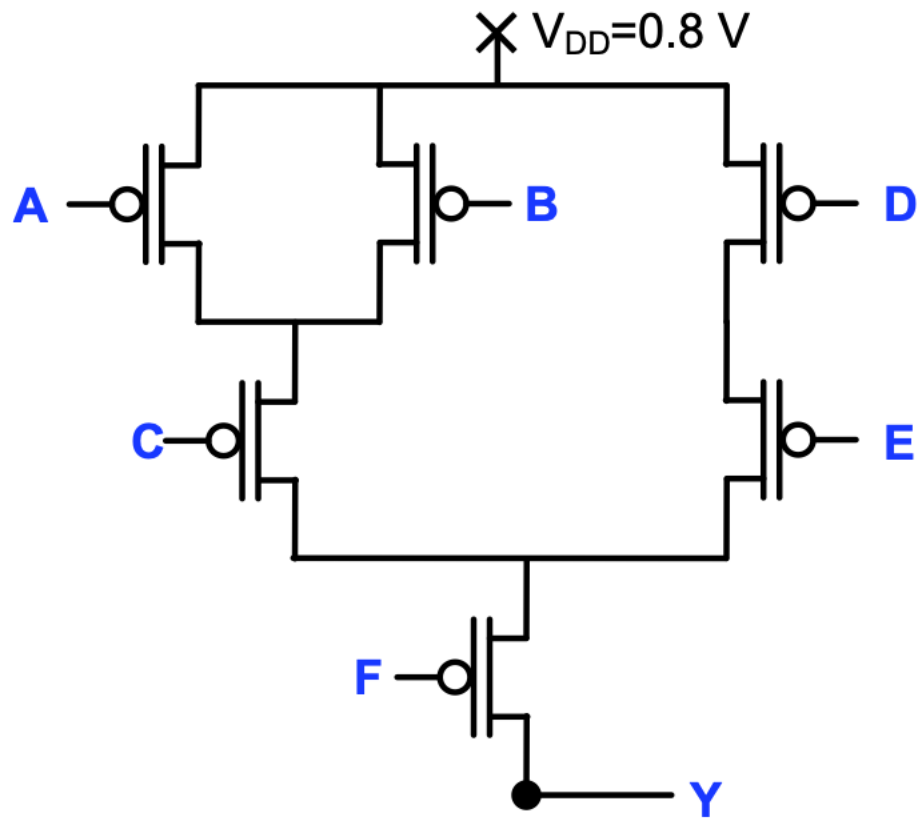
- ▶ Pull-up Pfad ist mit Stromquelle verbunden
- ▶ Pull-down Pfad ist mit Masse verbunden
- ▶ Immer gleich viele NMOS und PMOS Transistoren
- ▶ Bei **m** Eingängen gibt es **m** NMOS und **m** PMOS Transistoren
- ▶ Wenn ein Transistor weder an Stromquelle noch Masse angebunden ist
→ Unbestimmter Zustand



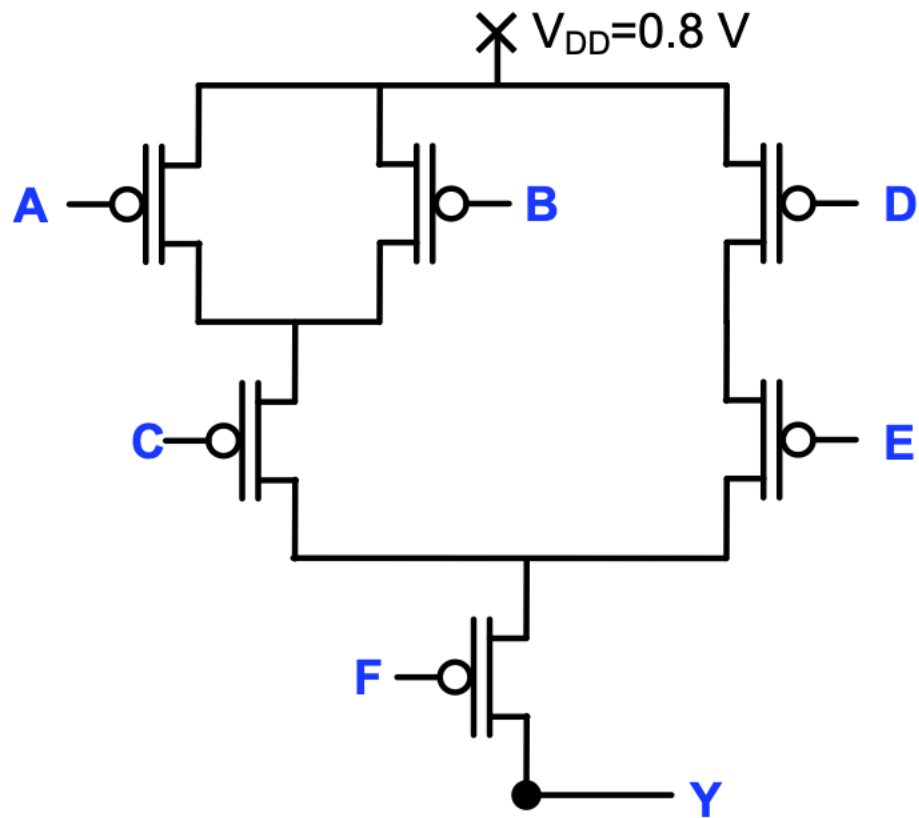
Theorie – Pfad-Umwandlung

- ▶ Seriell zu Parallel
 - ▶ Parallel zu Seriell
 - ▶ PMOS/NMOS tauschen
 - ▶ Stromquelle/Masse tauschen
-
- ▶ Seriell: AND, Parallel: OR
 - ▶ PMOS: Jeden Eingang negieren
 - ▶ NMOS: Gleichung negieren

Pfadumwandlung

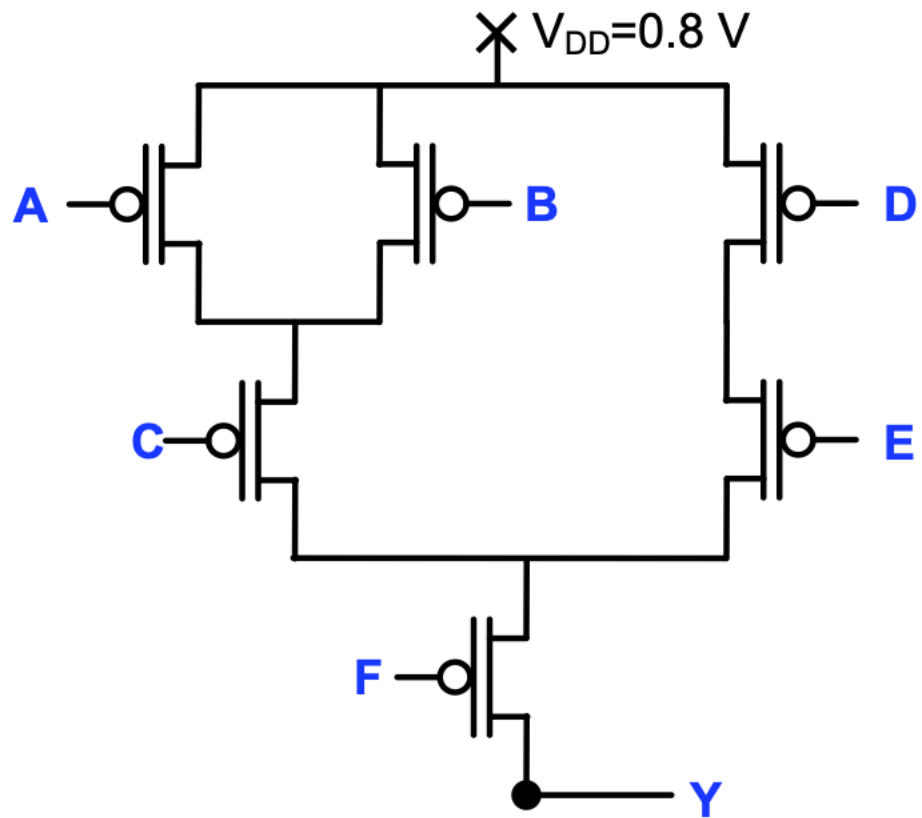


Pfadumwandlung

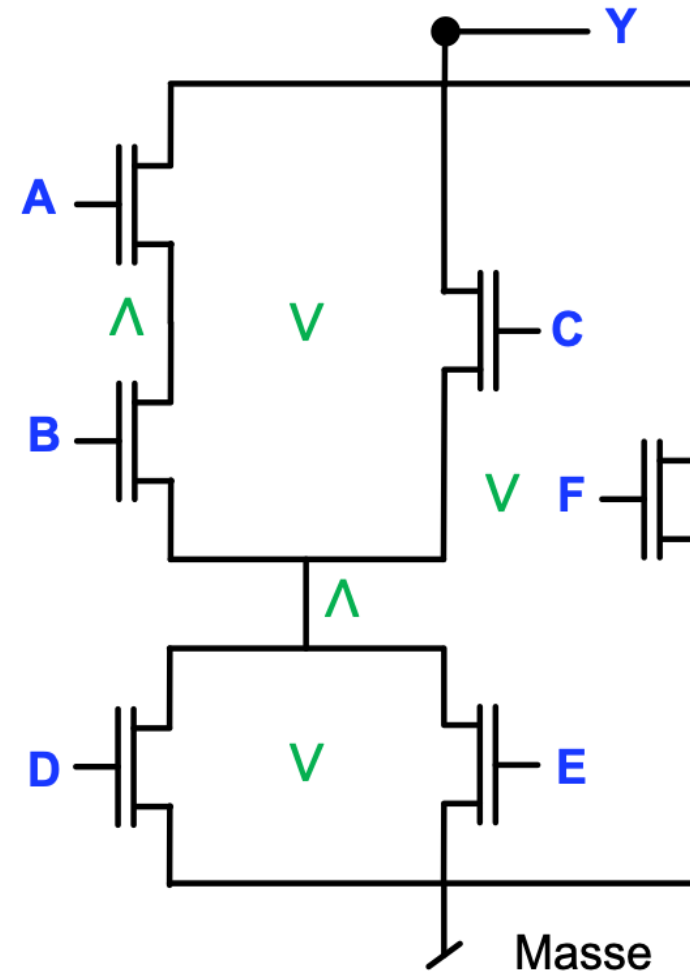


$$Y_{pu} = ((\bar{A} \vee \bar{B}) \wedge \bar{C}) \vee (\bar{D} \wedge \bar{E}) \wedge \bar{F}$$

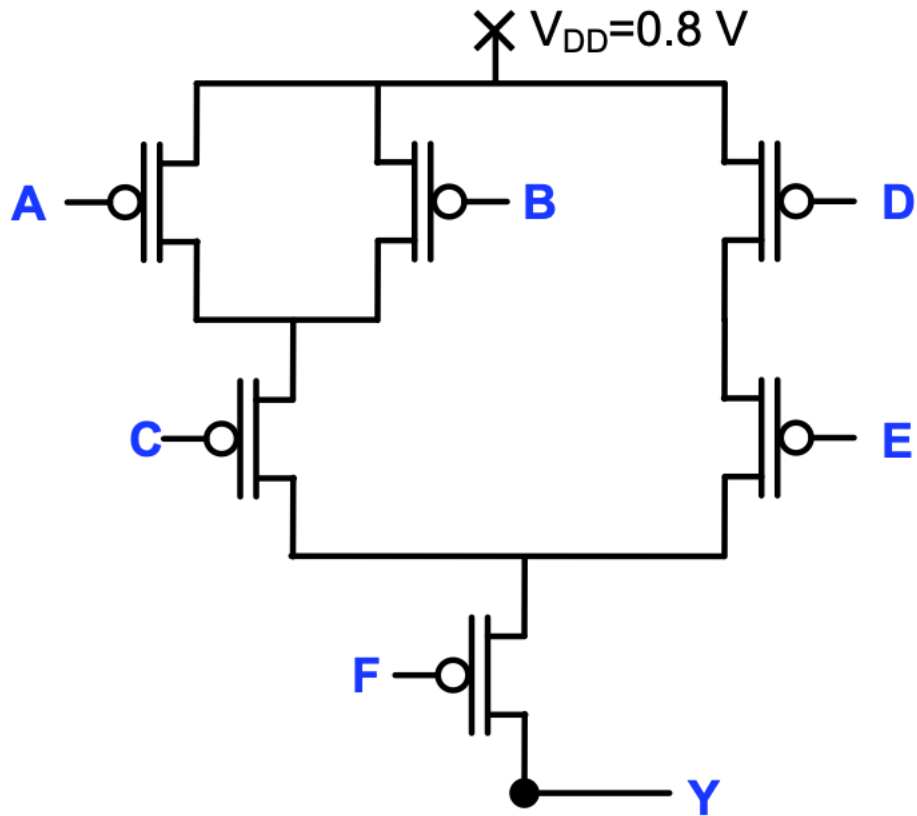
Pfadumwandlung



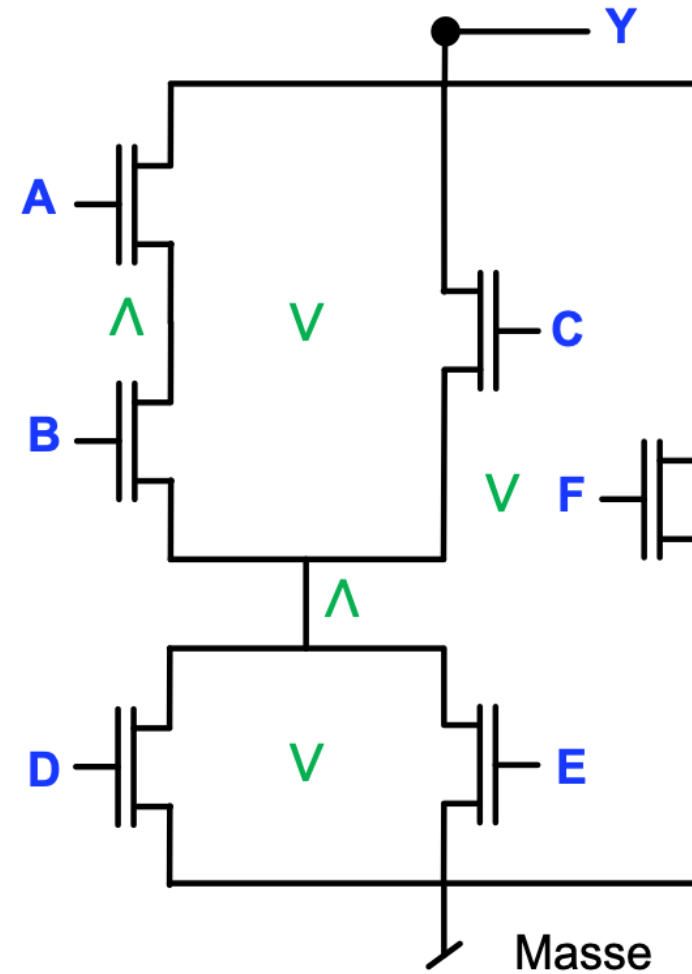
$$Y_{pu} = ((\bar{A} \vee \bar{B}) \wedge \bar{C}) \vee (\bar{D} \wedge \bar{E}) \wedge \bar{F}$$



Pfadumwandlung

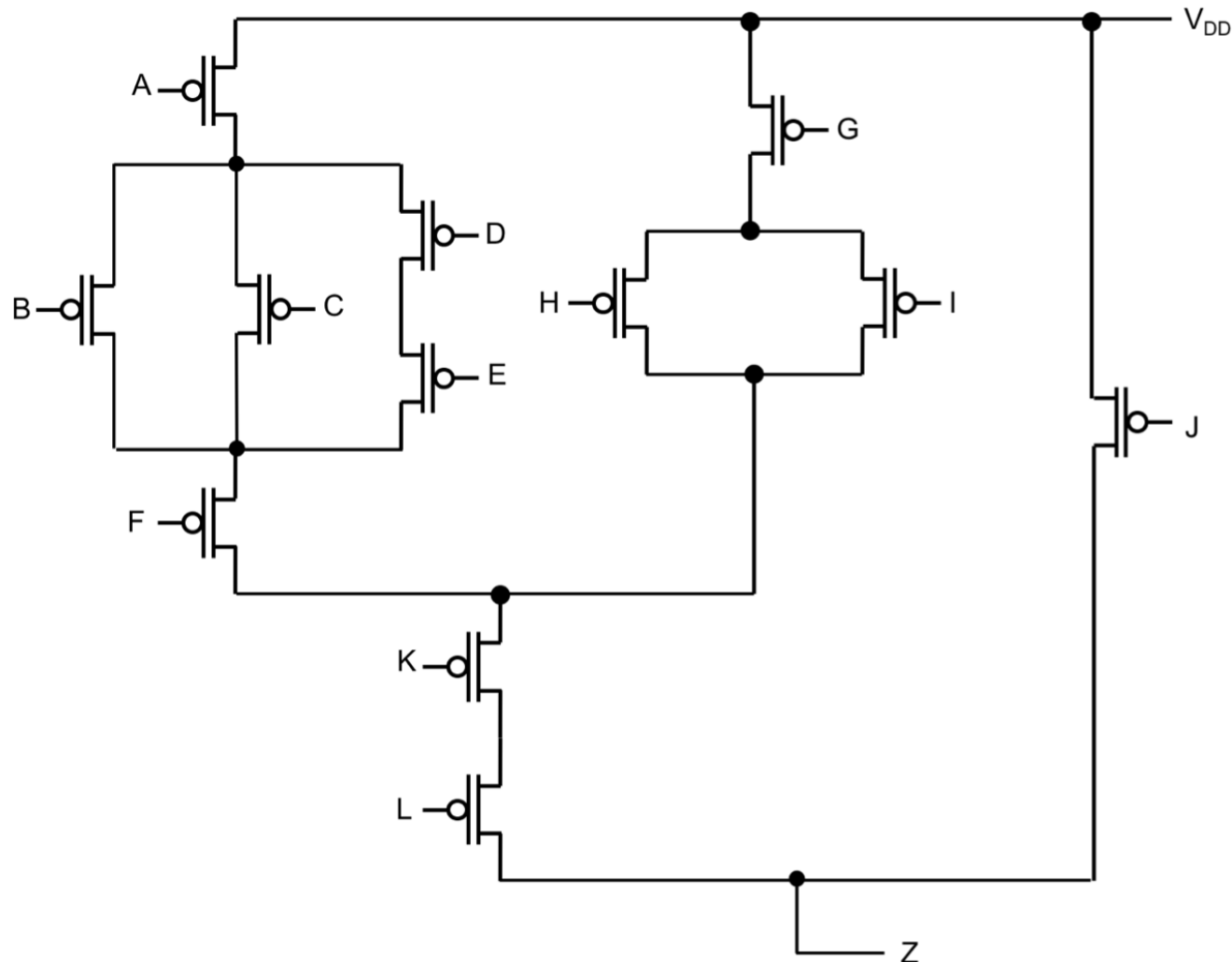


$$Y_{pu} = (((\bar{A} \vee \bar{B}) \wedge \bar{C}) \vee (\bar{D} \wedge \bar{E})) \wedge \bar{F}$$

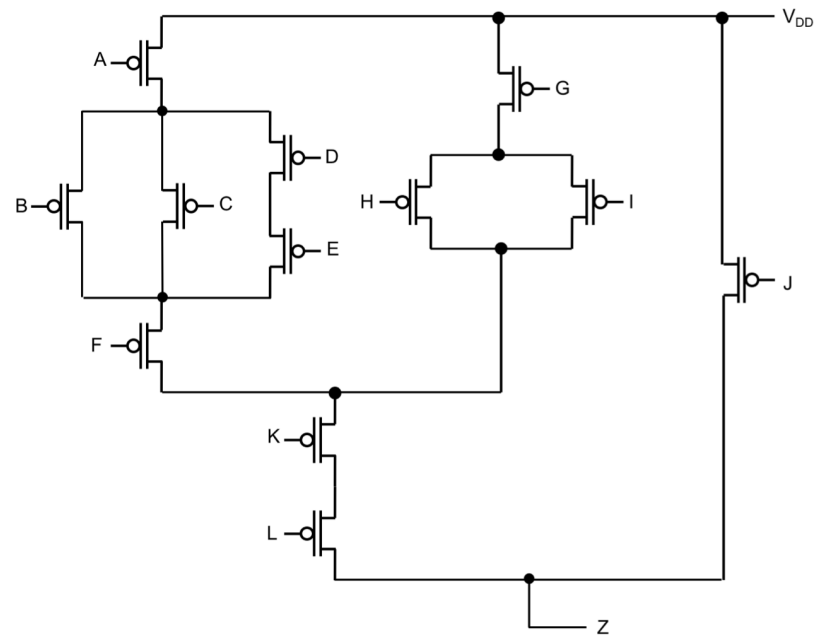


$$Y_{pd} = (((A \wedge B) \vee C) \wedge (D \vee E)) \vee F$$

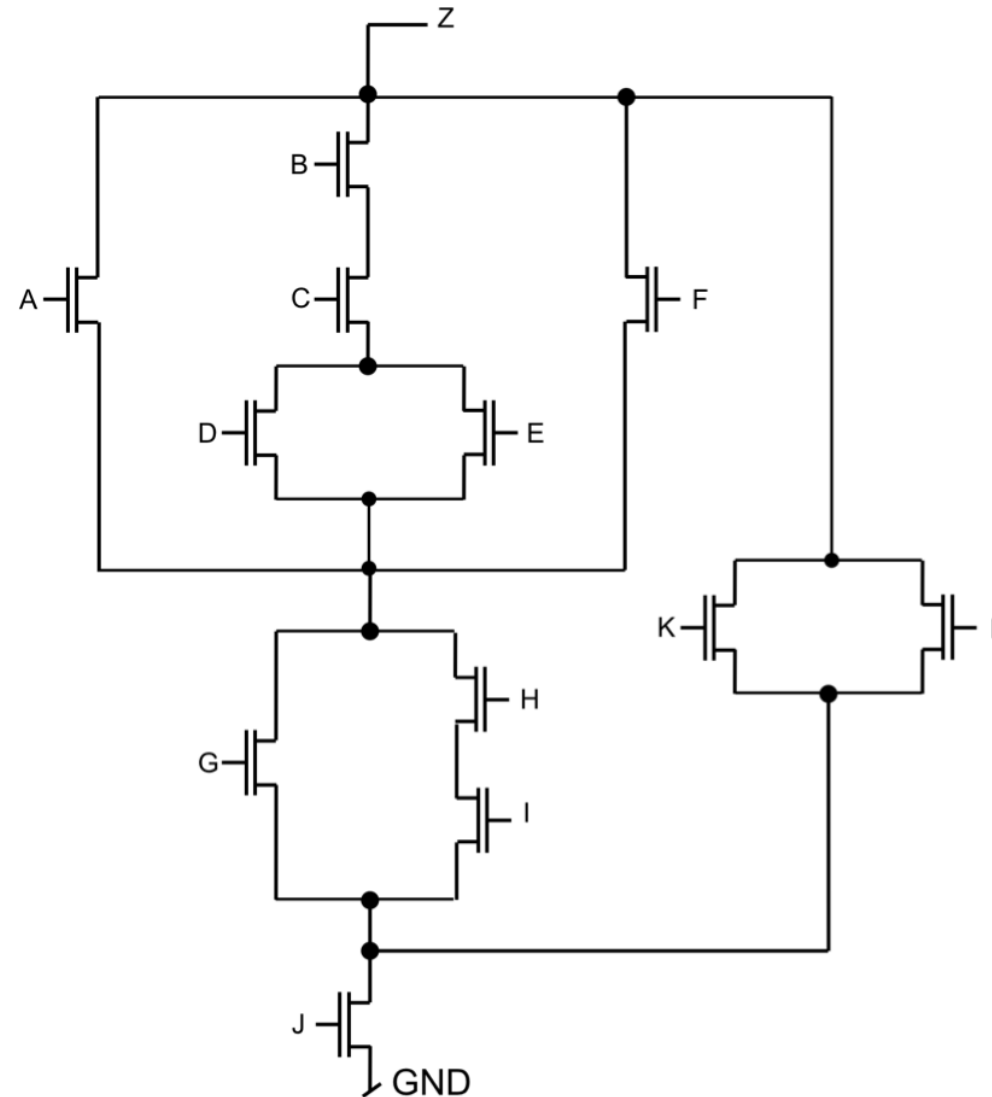
Prüfungsaufgabe (Frühjahr 2019)



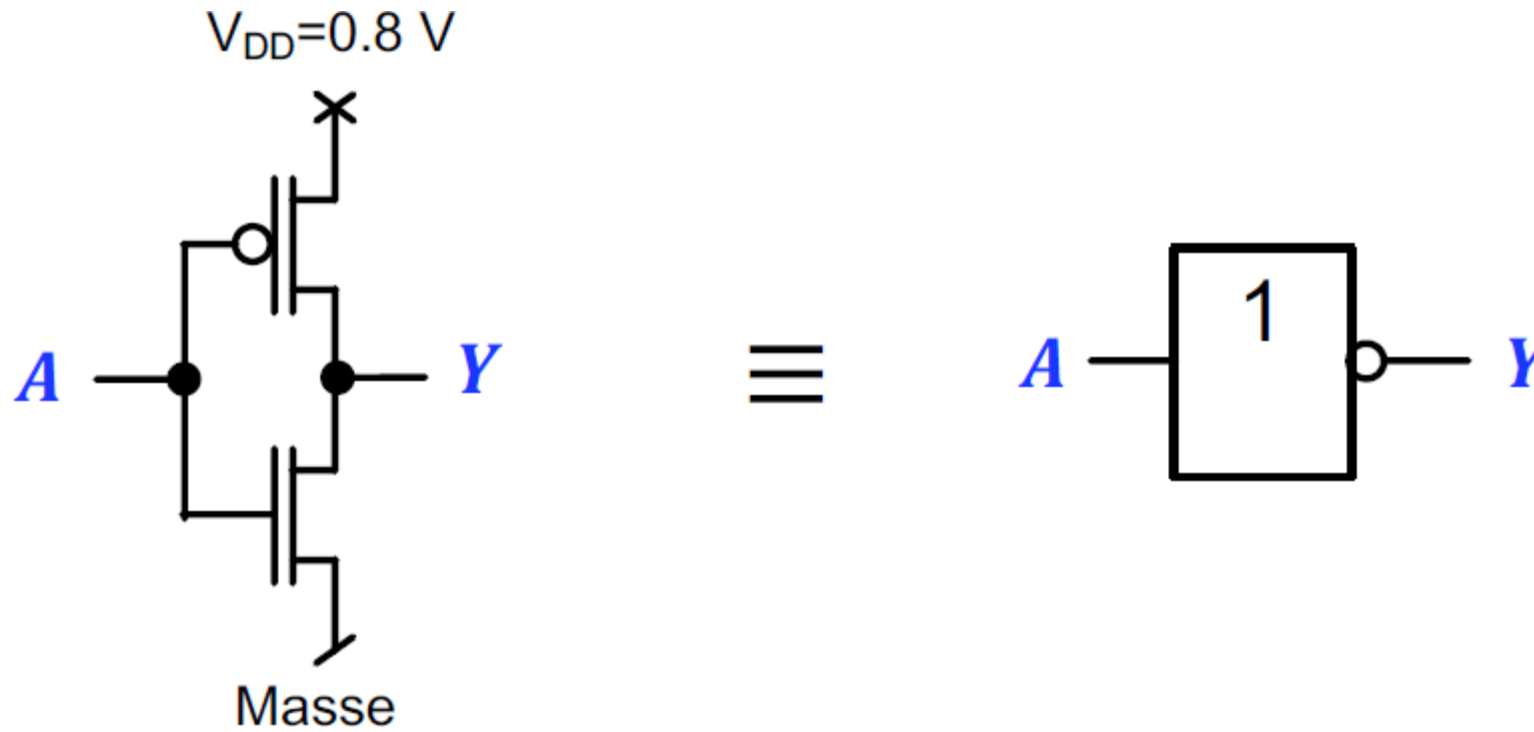
**Zeichne den
entsprechenden Pull-
Down Pfad!**
(Platz zum Zeichnen auf
der nächsten Folie)



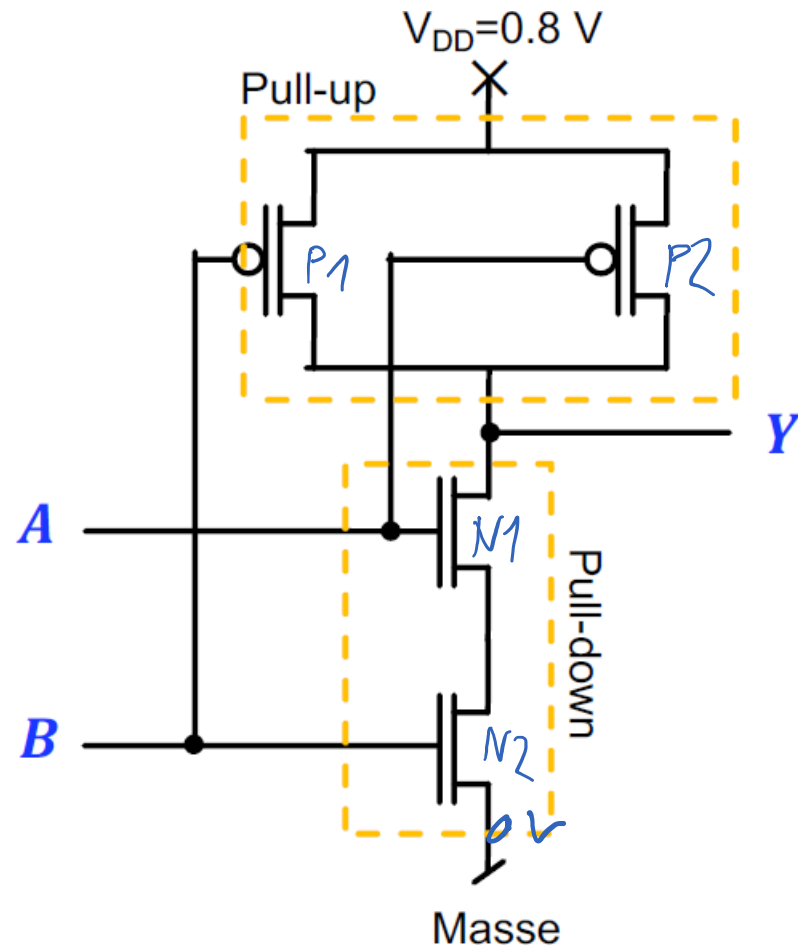
Lösung:



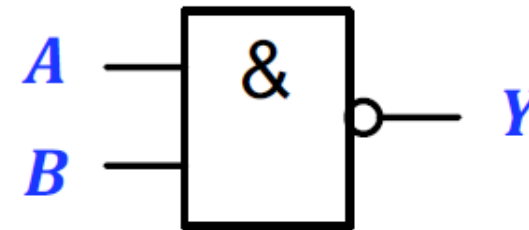
Theorie – NOT in CMOS



Theorie – NAND in CMOS

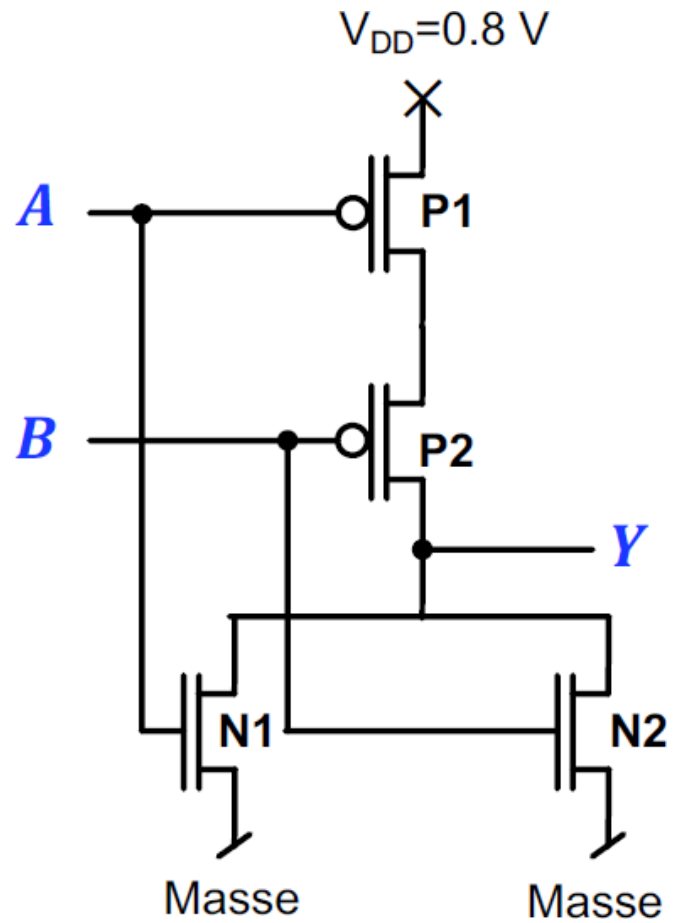


$\equiv$

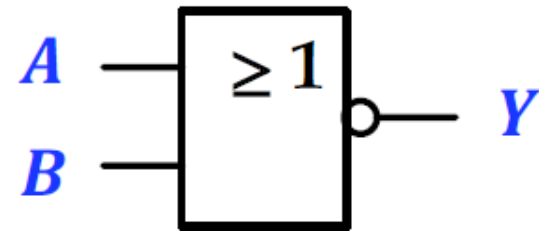


A	B	P1	P2	N1	N2	Y
0	0	zu	zu	NN	offen	1
0	1	offen	zu	offen	zu	1
1	0					1
1	1	offen	offen	zu	zu	0

Theorie – NOR in CMOS

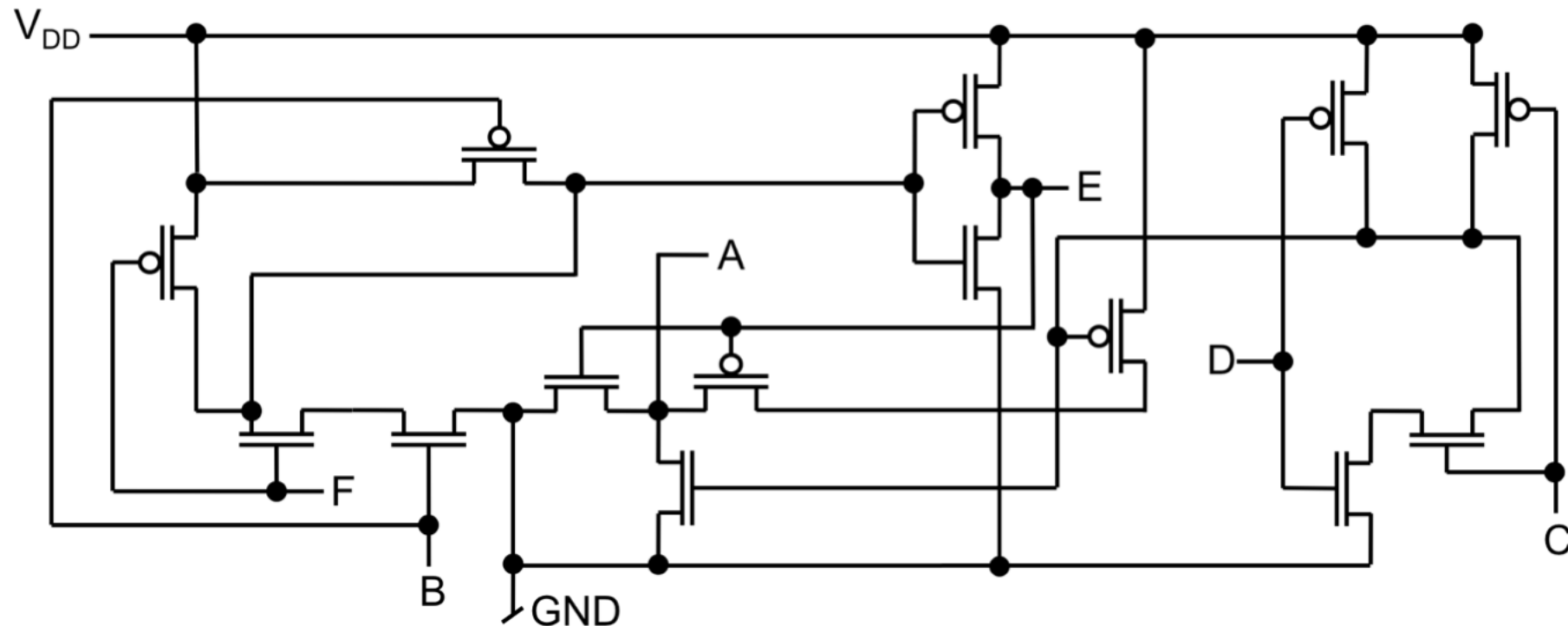


$\equiv$

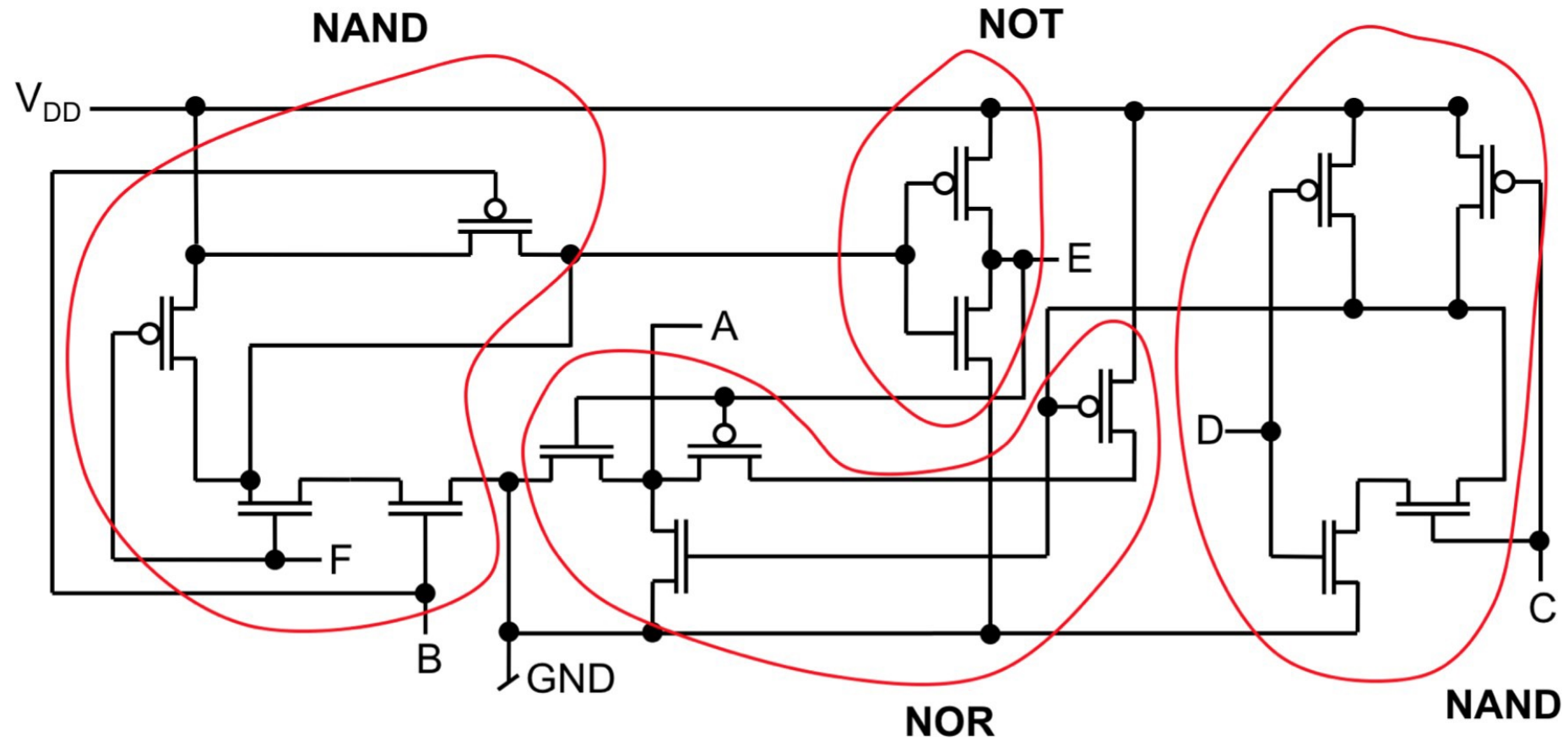


Theorie – Pfad-Funktion

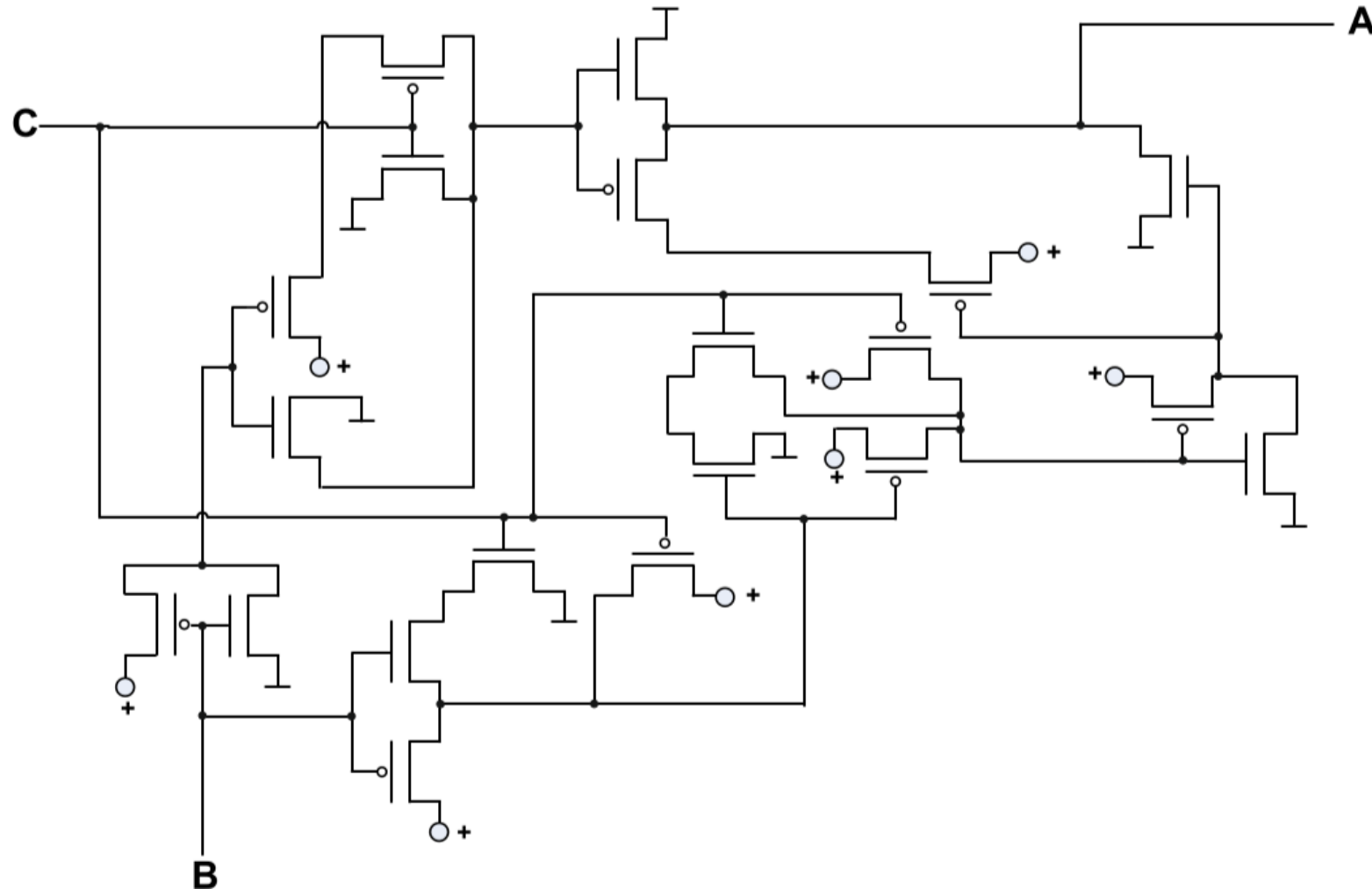
- ▶ Eingänge/Ausgänge identifizieren
- ▶ PMOS parallel: NAND
- ▶ PMOS seriell: NOR



Theorie – Pfad-Funktion

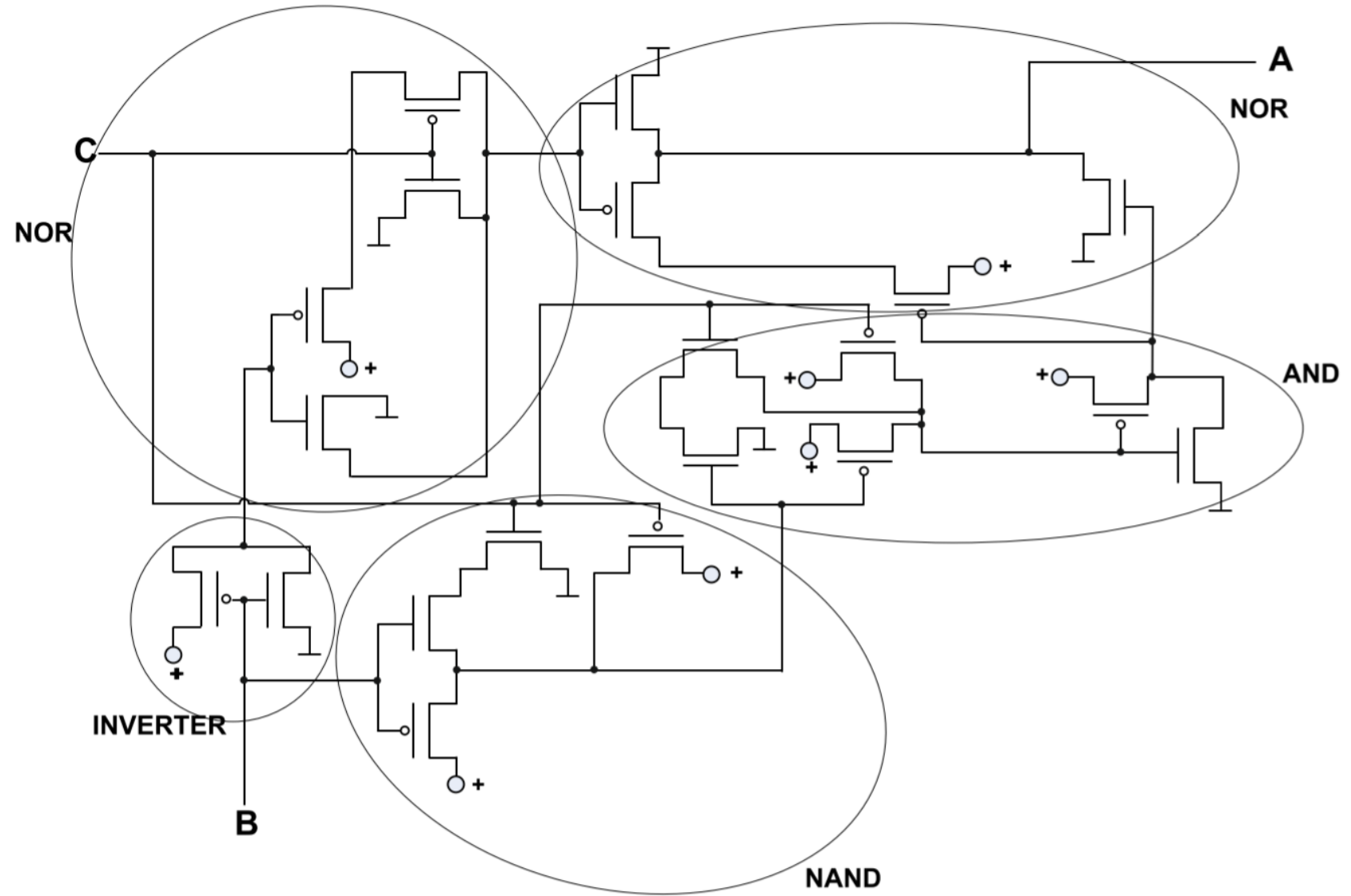


Prüfungsaufgabe (Frühjahr 2013)



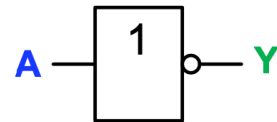
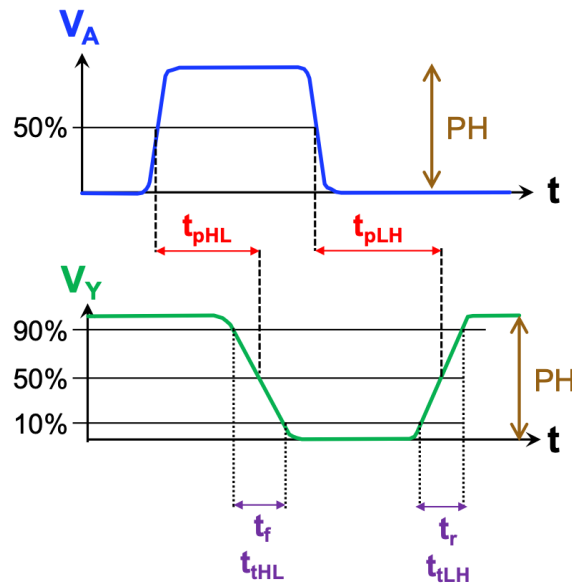
**Identifiziere die
Grundgatter!**

Lösung:



Zeitverzögerung

- CMOS Transistoren können nicht beliebig schnell schalten



Zeitlaufdiagramm eines
CMOS Inverters im
dynamischen
(zeitabhängigen)
Betrieb

PH: Pegelhub

t_{pHL}	Verzögerungszeit (<u>Propagation delay High Low</u>)	Beim Übergang H → L Gemessen bei 50% des Pegelhubs
t_{pLH}	Verzögerungszeit (<u>Propagation delay Low High</u>)	Beim Übergang L → H Gemessen bei 50% des Pegelhubs
t_r	Anstieg- (<i>Rise</i> -) Zeit	Gemessen zwischen 10% und 90% des Pegelhubs
t_{tLH}	Transition <u>Low High</u>	
t_f	Abfall- (<i>Fall</i> -) Zeit	Gemessen zwischen 90% und 10% des Pegelhubs
t_{tHL}	Transition <u>High Low</u>	

| 27.09.23 | 37

Die Verzögerungszeit (delay) eines Gatters, t_d , ist so definiert

$$t_d = (t_{pHL} + t_{pLH})/2$$

Zusammenfassung

- Mit der CMOS-Technologie kann man Logikgatter bauen.
- CMOS kombiniert NMOS Transistoren und PMOS Transistoren.
- Pull-Up und Pull-Down Pfad
- Somit können wir nun bereits einfache Schaltungen bis auf die Ebene der Transistoren genau beschreiben und zeichnen!
- Nächste Woche: Boole'sche Algebra (Schaltalgebra) → Dann lernen wir, wie man komplexere Schaltungsgleichungen (bspw. die untenstehende) mithilfe einfacher Regeln vereinfachen kann.

$$Z = \overline{(B \vee \overline{C} \vee \overline{D}) \wedge (\overline{A} \vee C \vee D) \wedge (A \vee B \vee \overline{C}) \vee (A \wedge C \wedge \overline{D})}$$

Kahoot!