Digitaltechnik
Übung 7

Matteo Dietz
mdietz@student.ethz.ch

Polybox

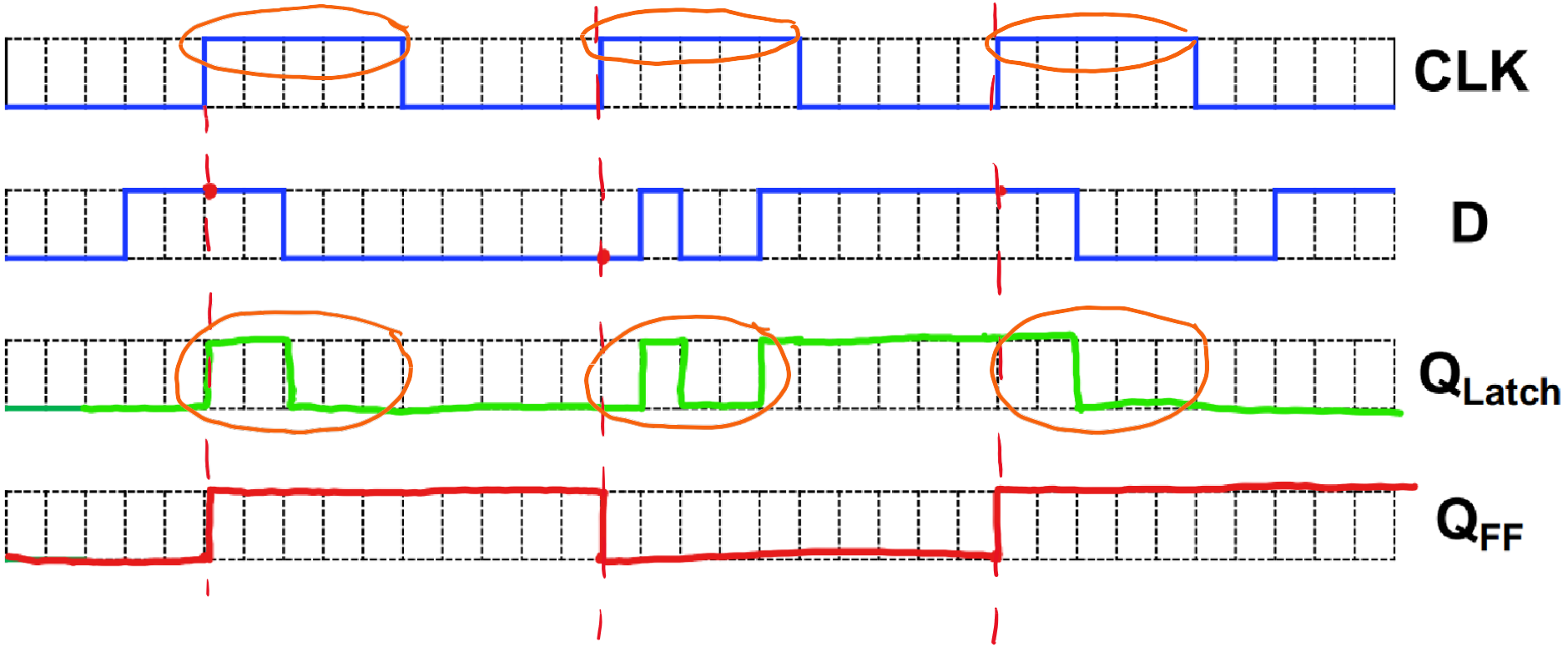
- https://polybox.ethz.ch/index.php/s/VehRU12QqdJv98i

Administratives

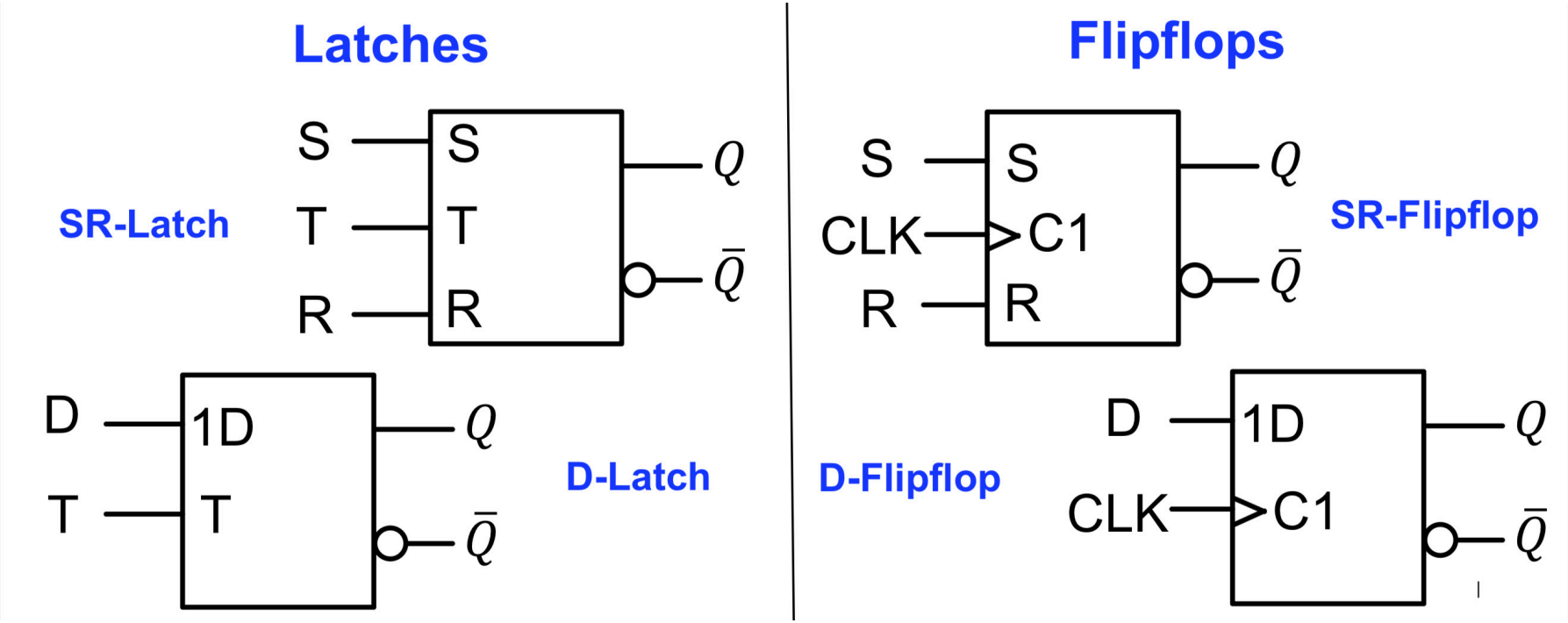
- Nächste Woche Test 2
- Stoff bis und mit Übung 7 (heute)
  - Schaltungssynthese
  - Latches
  - Flipflops

Repetition – Latches vs. Flipflops

- Latches: taktzustandsgesteuert ➔ Änderungen am Eingang während ganzen aktiven Taktphase
- Flipflops: taktflankengesteuert ➔ Änderungen am Eingang zum Zeitpunkt des Taktwechsels (Flanke)

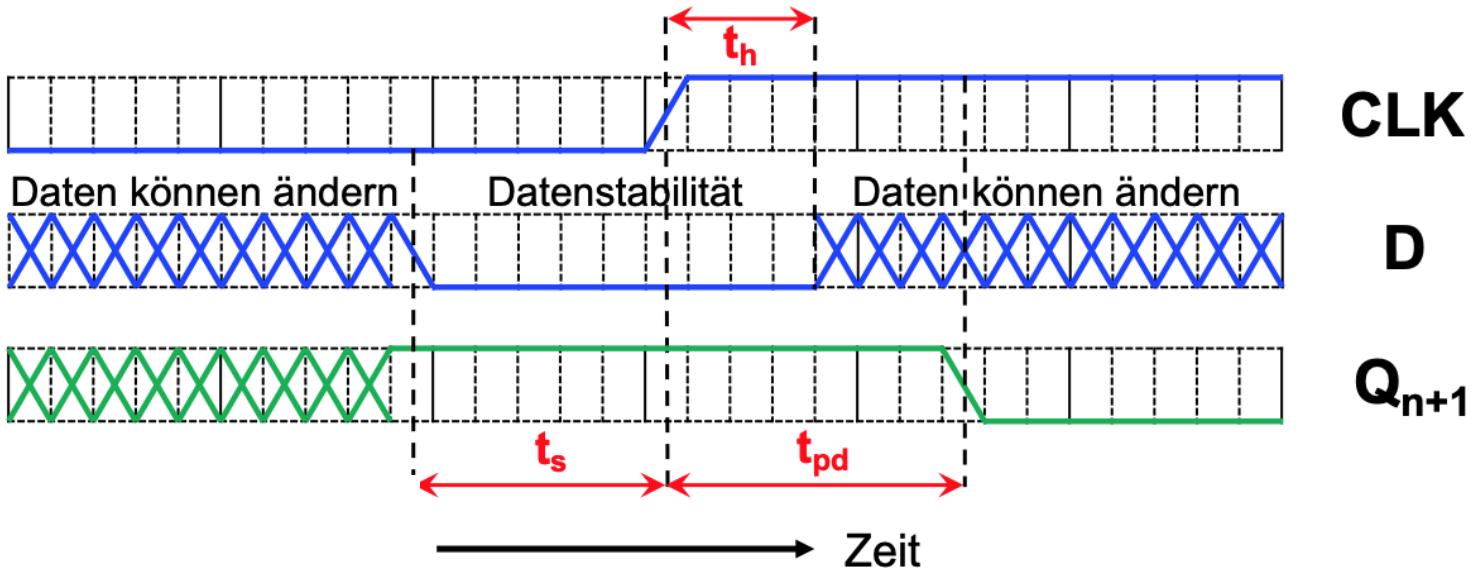


Repetition – Latches vs. Flipflops



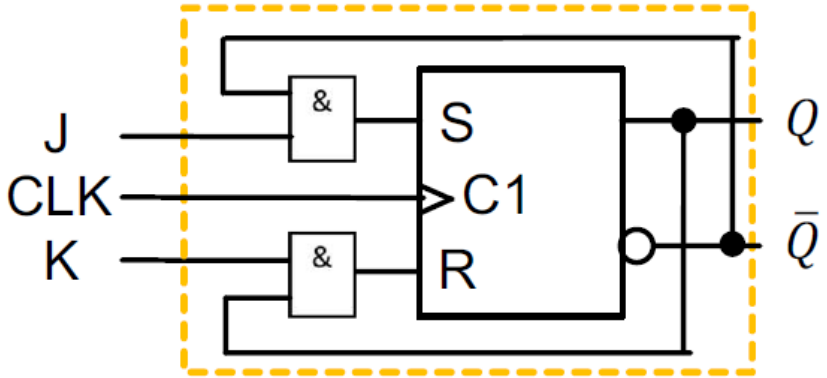
Repetition – Dynamik von Flipflops

- Setup-zeit t_s: So lange muss Signal stabil vor Taktflanke anliegen
- Haltezeit t_h: So lange muss Signal stabil nach Taktflanke anliegen
- Verzögerungszeit t_{pd}: Zwischen Taktflanke und Reaktion am Ausgang

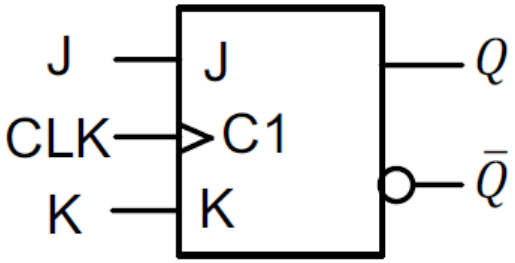


Theorie – JK-Flipflop

- J und K dürfen gleichzeitig 1 sein
- In diesem Fall werden Q und ¬Q invertiert
- $Q_{1n+1} = (J \wedge \overline{Q_{1n}}) \vee (\overline{K} \wedge Q_{1n})$



Basisschaltung JK-Flipflop



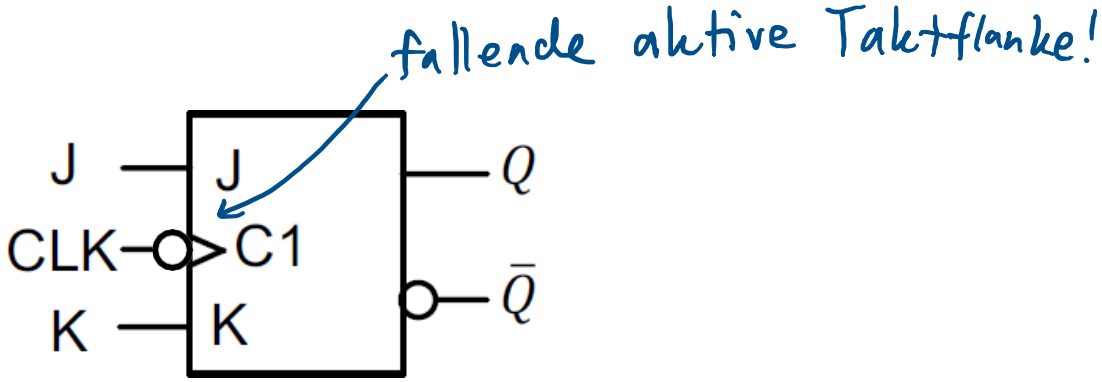
Schaltzeichen JK-Flipflop

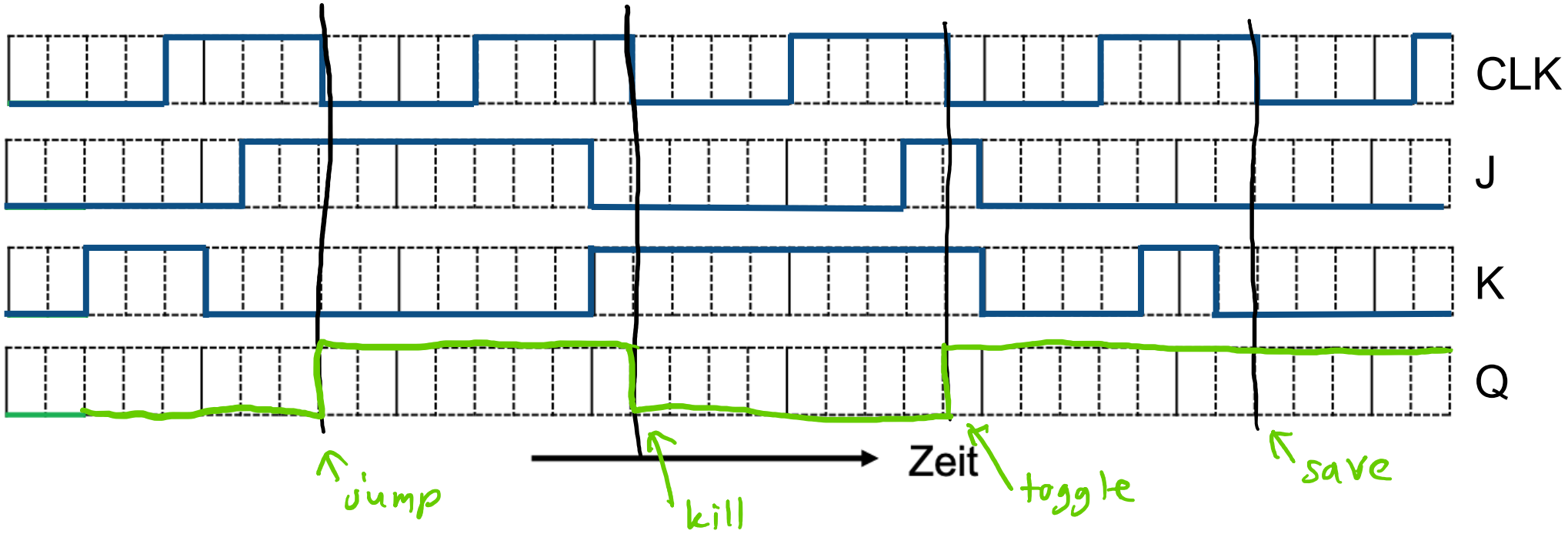
Fall	J	K	Q_{1n+1}	Q_{2n+1}	
1	0	0	Q_{1n}	Q_{2n}	speichern
2	0	1	0	1	rücksetzen
3	1	0	1	0	setzen
4	1	1	$\overline{Q_{1n}}$	$\overline{Q_{2n}}$	wechseln

SR-FF

Aufgabe – JK-Flipflop

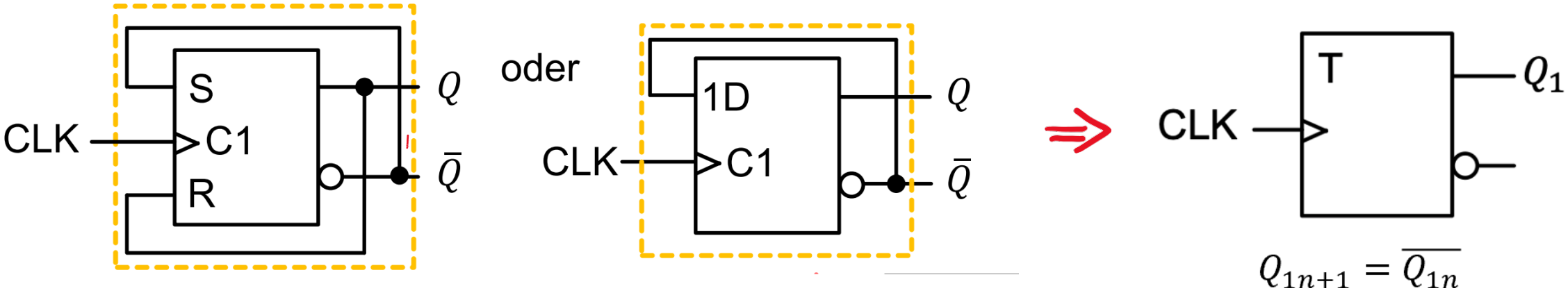
- Skizziere den Zeitverlauf von Q





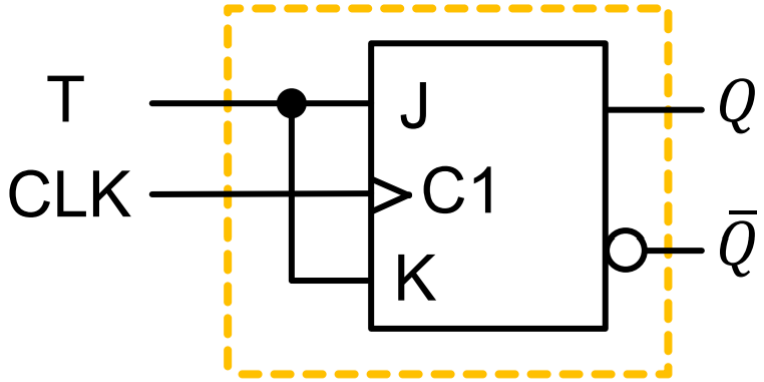
Theorie – T-Flipflop

- Q und ¬Q werden bei aktiver Taktflanke invertiert
- Mit SR-FF oder D-FF

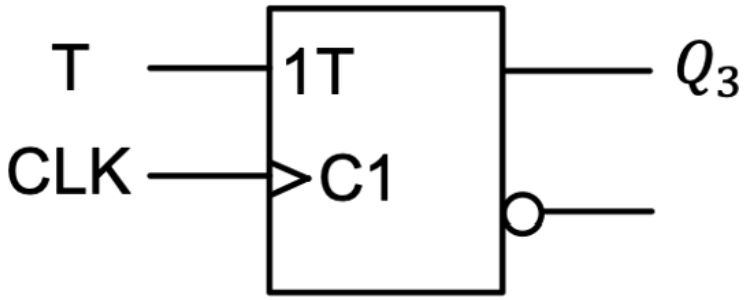


Theorie – T-Flipflop

- Mit zweitem Eingang: Invertierung nur, wenn T = 1
- Mit JK-FF



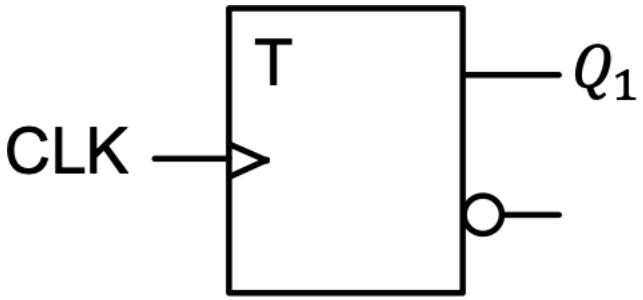
Basisschaltung T-Flipflop



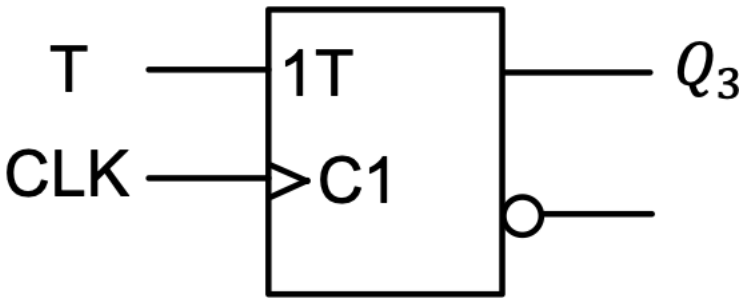
$Q_{1n+1} = \overline{Q_{1n}}$ wenn T = 1

Theorie – T-Flipflop Zusammenfassung

- Q und ¬Q werden bei aktiver Taktflanke invertiert
- Mit zweitem Eingang: Invertierung nur, wenn T = 1

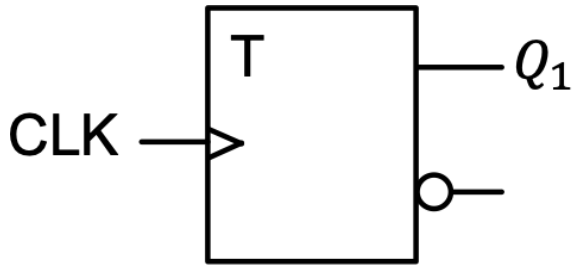


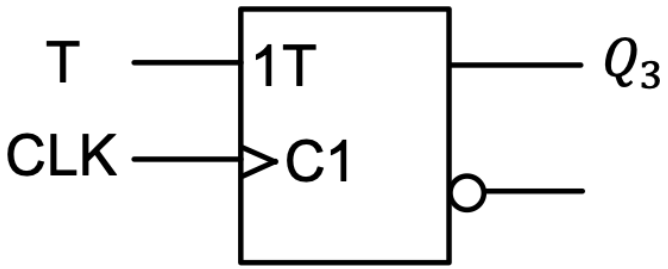
$Q_{1n+1} = \overline{Q_{1n}}$

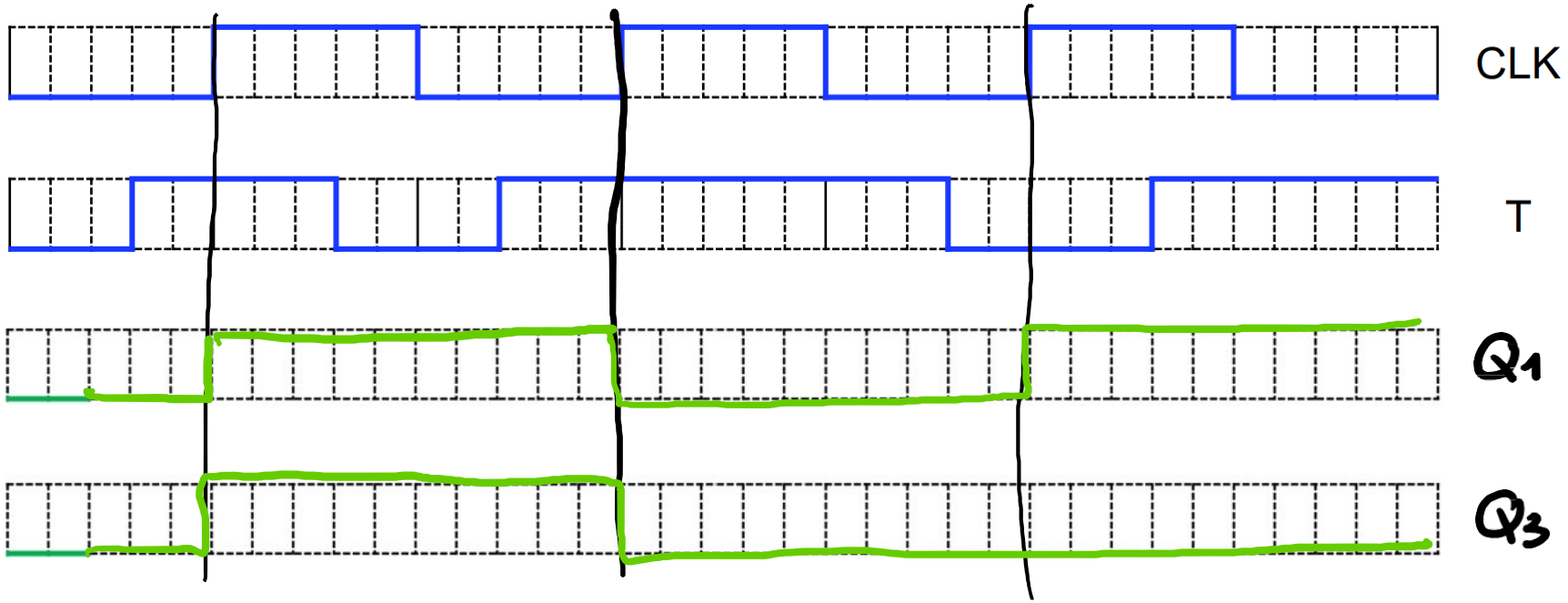


$Q_{1n+1} = \overline{Q_{1n}}$ wenn T = 1

Aufgabe – T-Flipflop



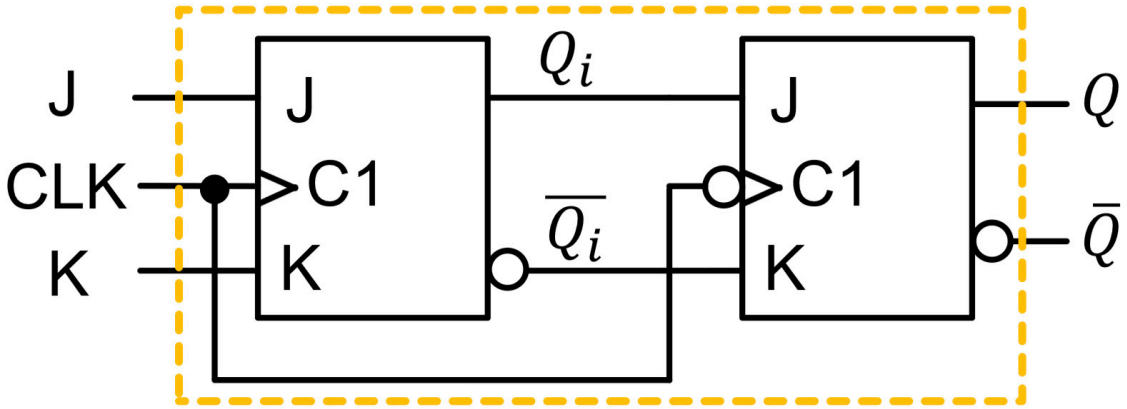




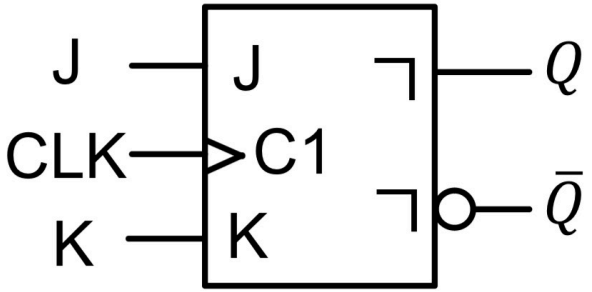
Theorie – Zwischenspeicher-Flipflop

- Funktion fast wie normaler Flipflop
- Werte bei steigender Taktflane eingelesen
- Änderungen erst bei fallender Taktflanke wirksam

Beispiel: JK-Leader-Follower FF (SR-, D-, T-FF auch möglich)



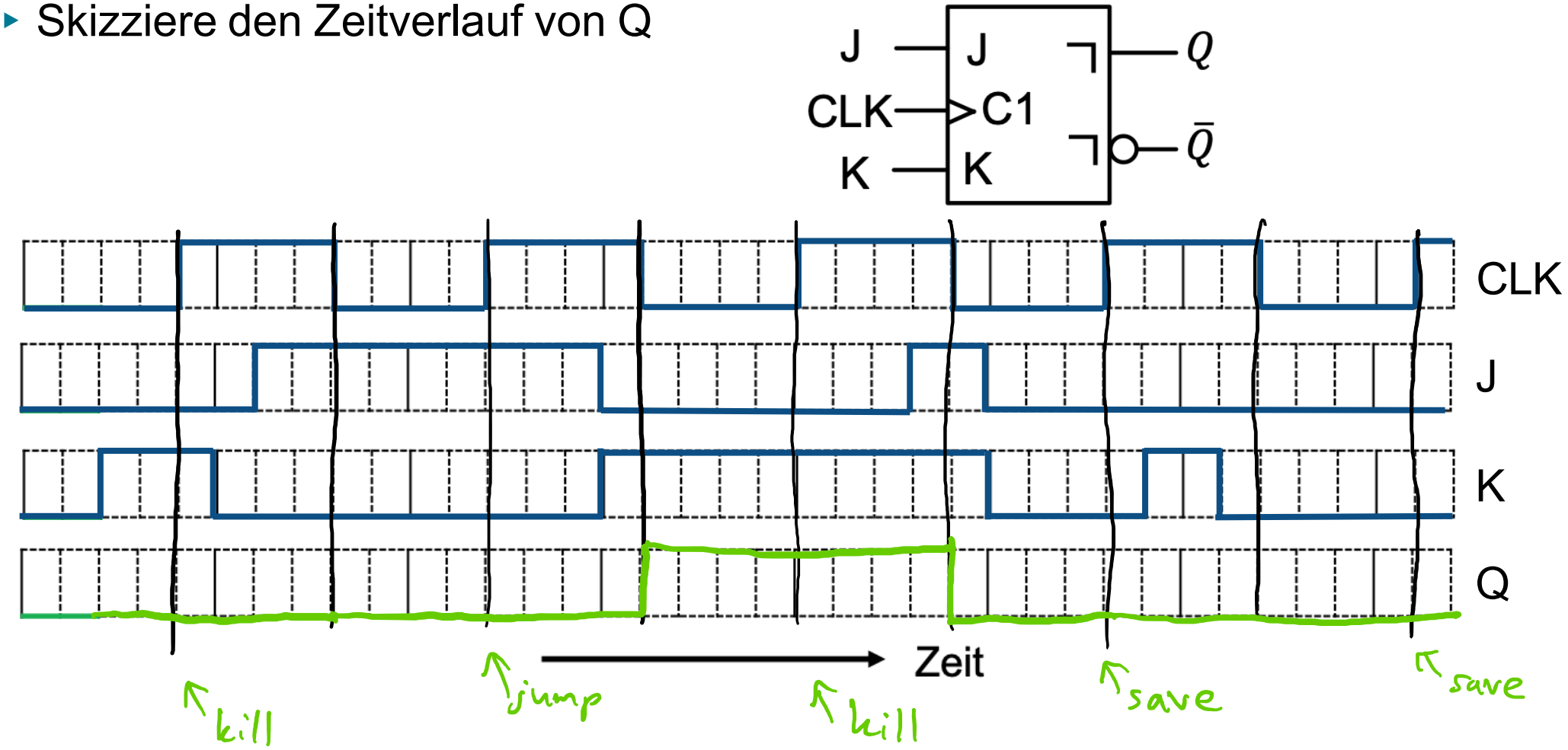
Basisschaltung JK-LF-Flipflop



Schaltzeichen JK-LF-Flipflop

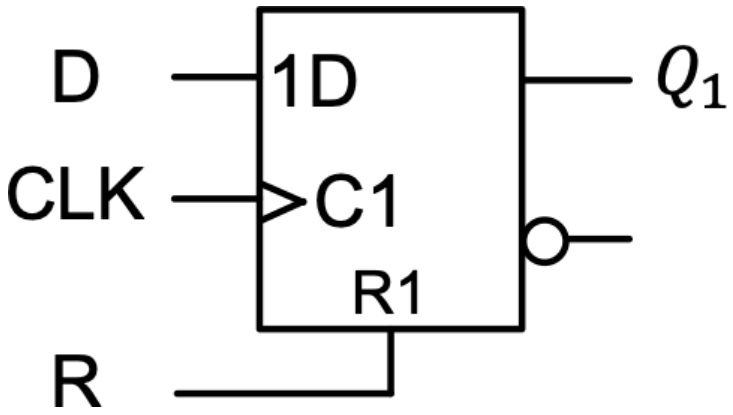
Aufgabe – JK-Leader-Follower-Flipflop

- Skizziere den Zeitverlauf von Q



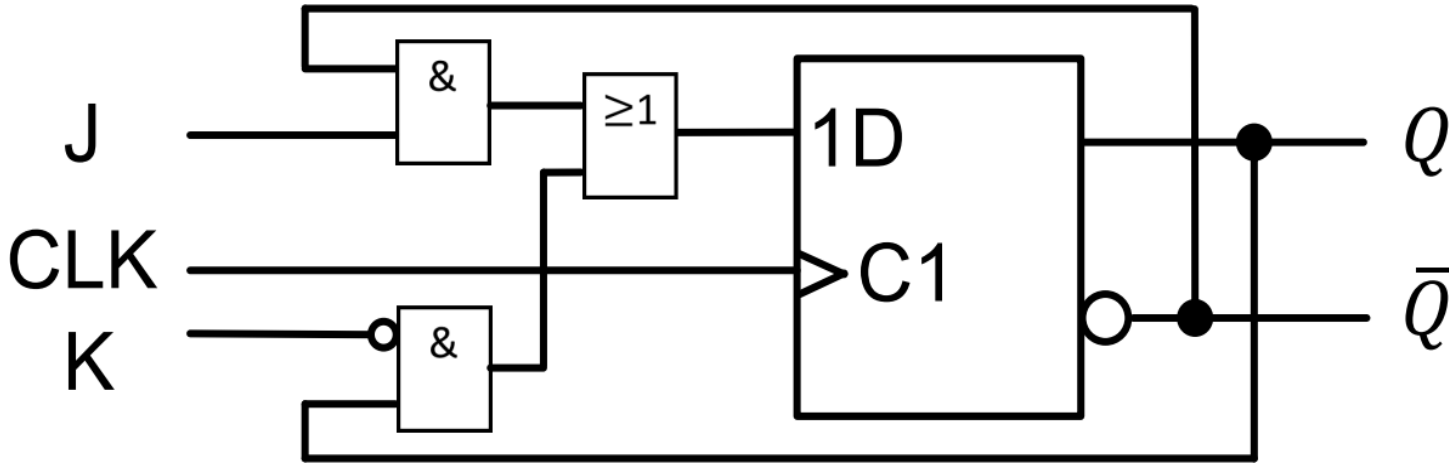
Theorie – Reset-Eingang

- Eingänge können unabhängig von Takt und Eingang zurückgesetzt werden
- Q = 0 und ¬Q = 1



Theorie – Umwandlung JK-FF und D-FF

- Umwandlung JK-FF in D-FF
  - immer möglich:



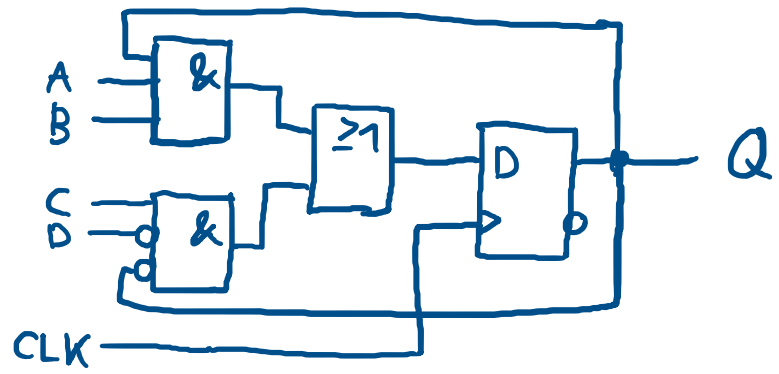
$$Q_{n+1} = D_n = (J_n \wedge \overline{Q_n}) \vee (\overline{K_n} \wedge Q_n)$$

Theorie – Umwandlung JK-FF und D-FF

- Umwandlung D-FF in JK-FF
  - NICHT immer möglich! (Gleichungen der beiden FF vergleichen)

Koeffizienten-vergleich

BSP 1)

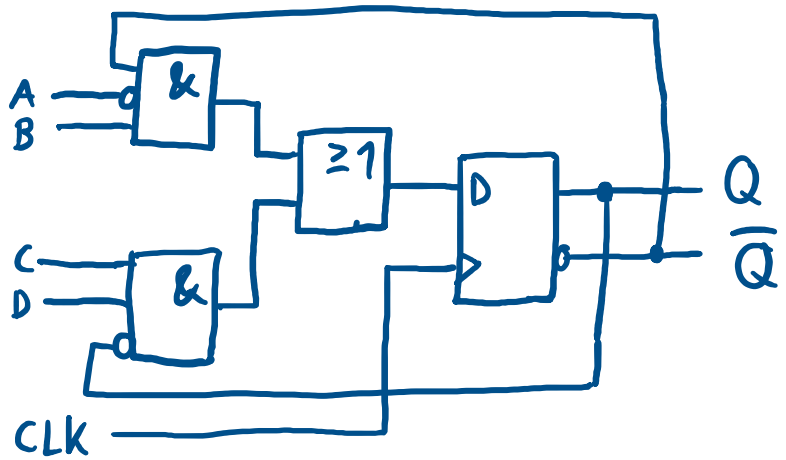


$$Q_{n+1} = D_n = (A \wedge B \wedge Q_n) \vee (C \wedge \bar{D} \wedge \bar{Q}_n)$$

$\bar{K}_n$ J_n

$$\Rightarrow J_n = C \wedge \bar{D}, \quad K_n = \overline{A \wedge B} \Rightarrow$$ Umwandlung möglich

BSP 2)



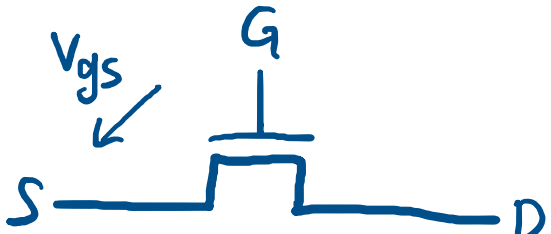
$$Q_{n+1} = D_n = (\bar{A} \wedge B \wedge \bar{Q}_n) \vee (C \wedge D \wedge \bar{Q}_n)$$

$$= ((\bar{A} \wedge B) \vee (C \wedge D)) \wedge \bar{Q}_n$$

J_n

Repetition – CMOS

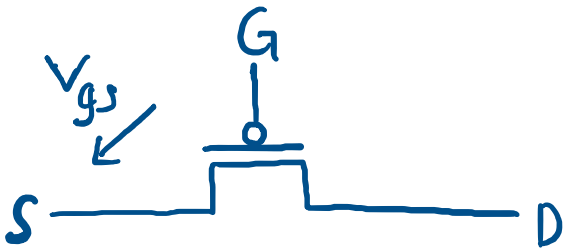
NMOS:



leitet, wenn $V_{gs} > V_{th}$, das heisst, wenn

$G = 1 \wedge S = 0$ (G high, S low)

PMOS:

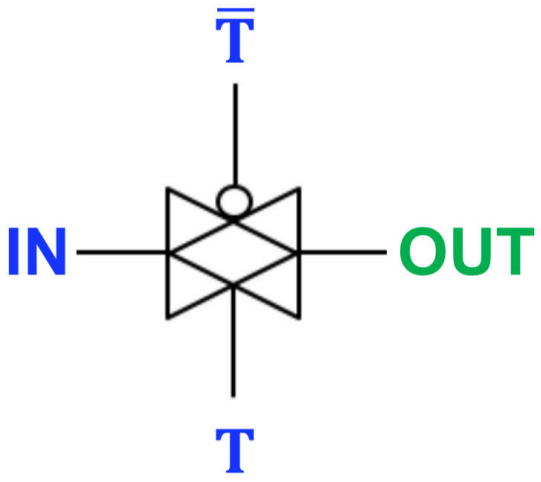


leitet, wenn $V_{sg} > V_{th}$, das heisst, wenn

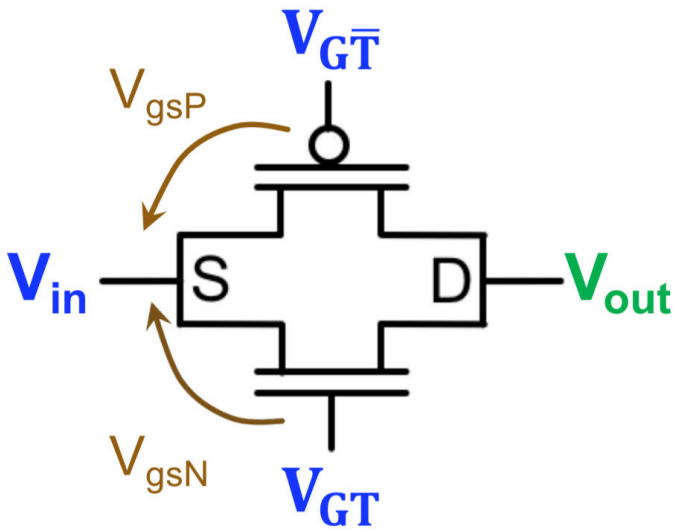
$G = 0 \wedge S = 1$ (G low, S high)

Theorie – D-FF in CMOS

- D-FF einfach zu benutzen & einfach in CMOS realisierbar
- Transmission Gates:



Schaltsymbol



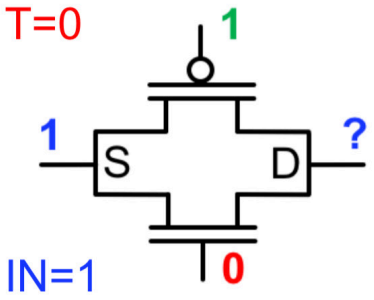
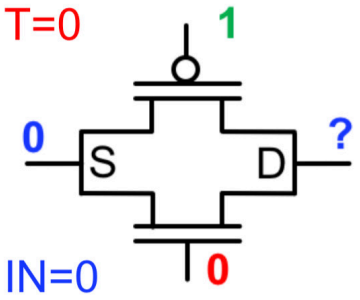
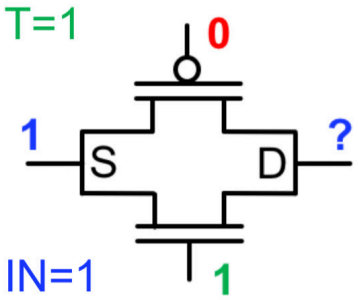
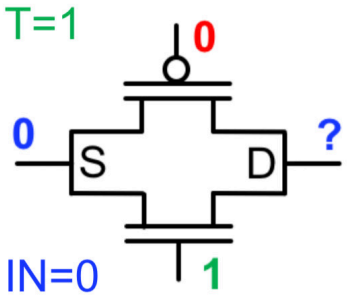
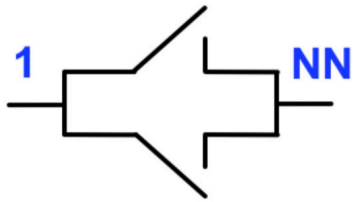
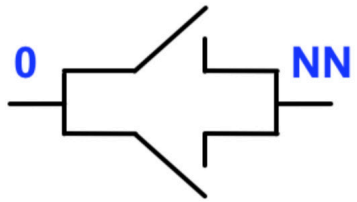
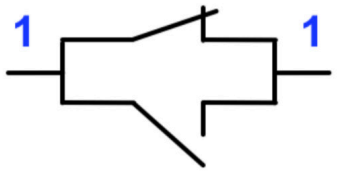
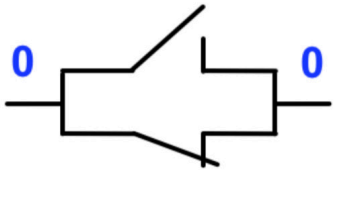
CMOS Schaltung

IN	T	Widerstand	OUT
0	0	hochohmig	-
0	1	niederohmig	0
1	0	hochohmig	-
1	1	niederohmig	1

Wahrheitstabelle

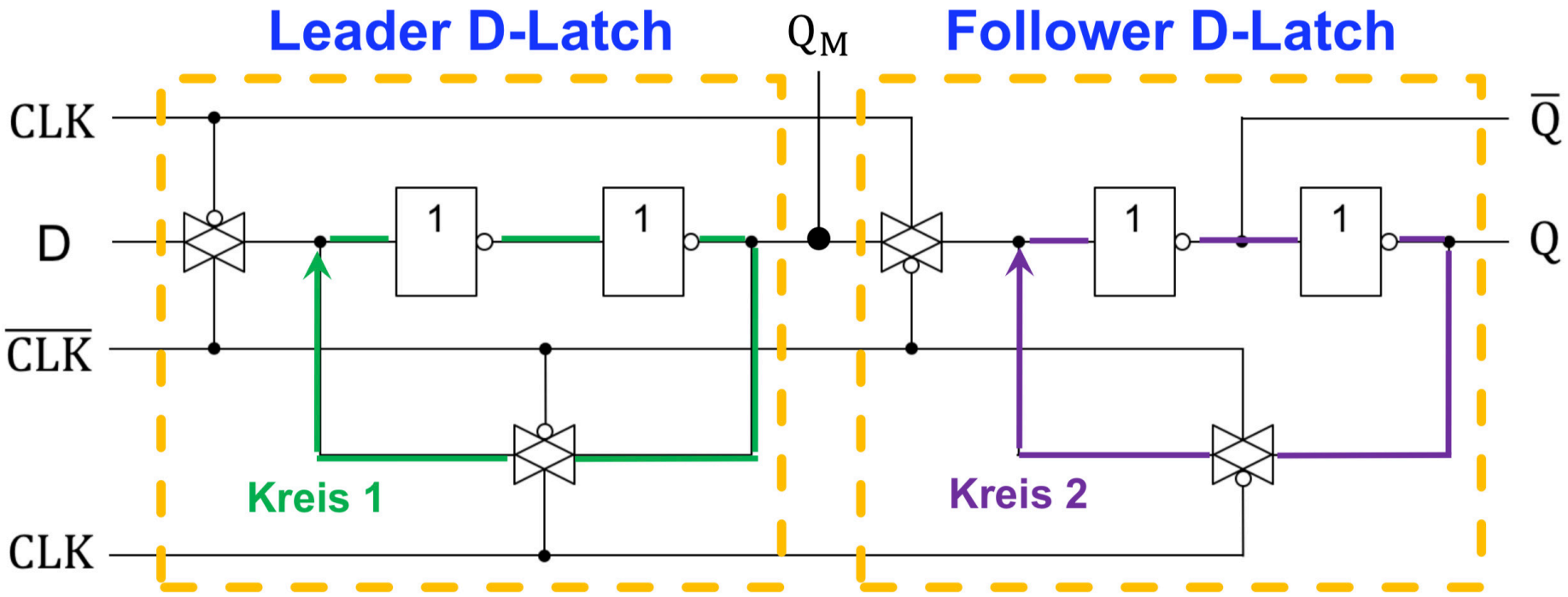
Theorie – D-FF in CMOS

- 4 mögliche Zustände für Transmission Gates:

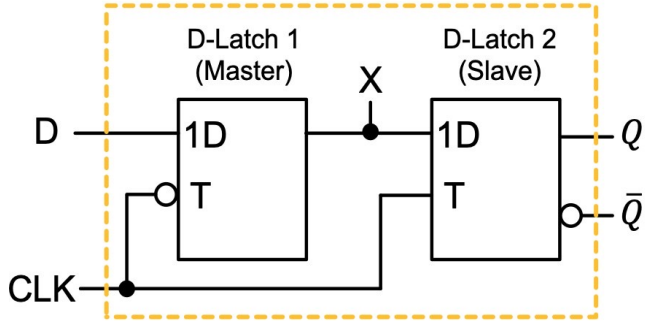
T=0  IN=1	T=0  IN=0	T=1  IN=1	T=1  IN=0
V_{gsP} = 0 V ⟹ PMOS gesperrt V_{gsN} = -V_{DD} ⟹ NMOS gesperrt	V_{gsP} = V_{DD} ⟹ PMOS gesperrt V_{gsN} = 0 V ⟹ NMOS gesperrt	V_{gsP} = -V_{DD} ⟹ PMOS leitend V_{gsN} = 0 V ⟹ NMOS gesperrt	V_{gsP} = 0 V ⟹ PMOS gesperrt V_{gsN} = V_{DD} ⟹ NMOS leitend
 Keine Transmission	 Keine Transmission	 Transmission	 Transmission

Theorie – D-FF in CMOS

- 2 TG und 2 Inverter pro Latch
- Die Werte sind jeweils für eine Taktflanke in einem Kreis gefangen

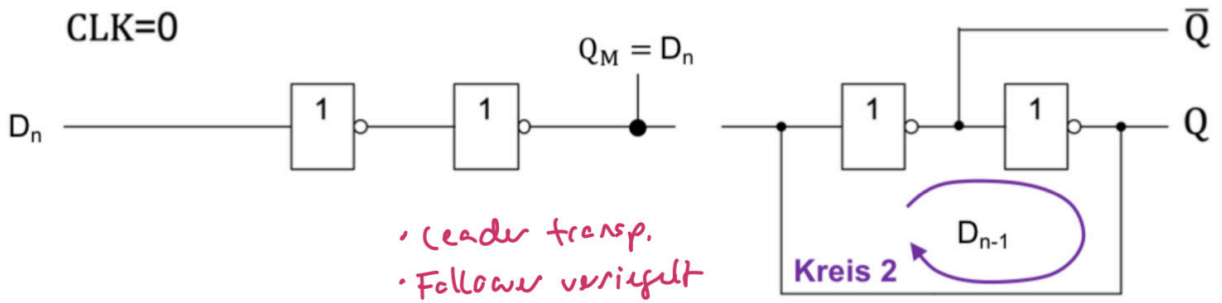


Theorie – D-FF in CMOS



Basisschaltung D-Flipflop

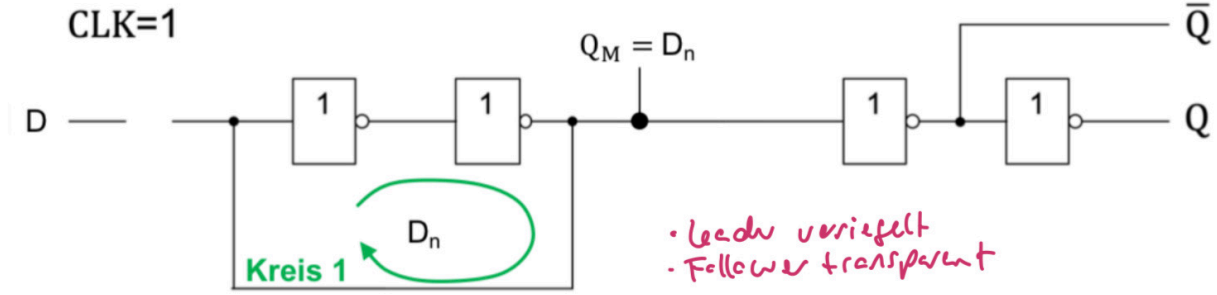
Für CLK = 0:



- Leader transp.
- Follower verriegelt

→ violett speichert
- $Q_M = D_n$
- $Q = D_{n-1}$

Für CLK = 1:

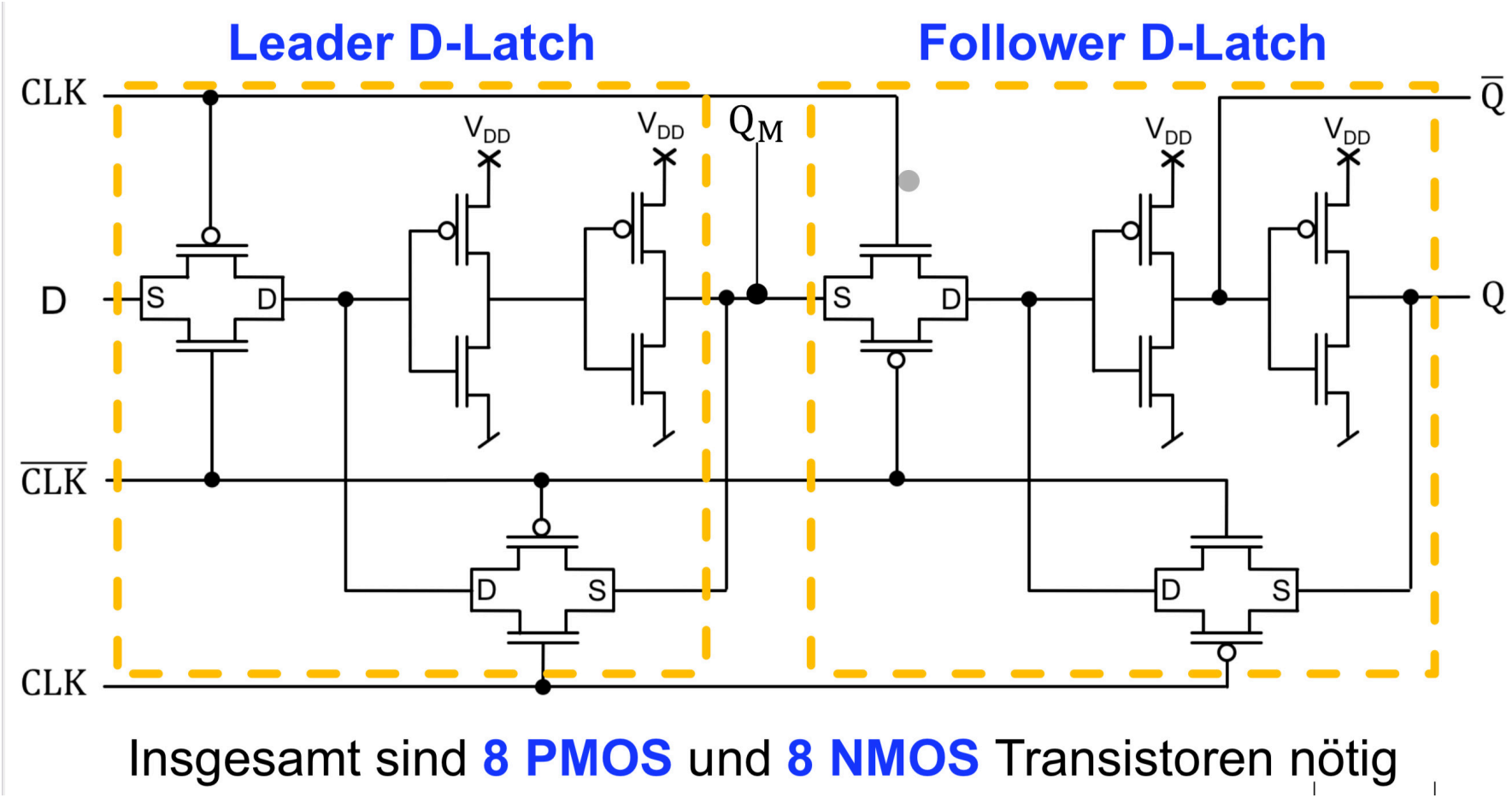


- Leader verriegelt
- Follower transparent

→ grün speichert
- $Q_M = D_n$
- $Q = Q_M$

Theorie – D-FF in CMOS

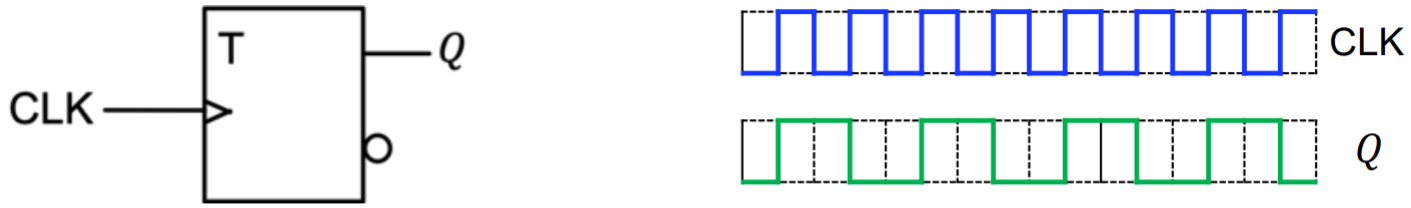
- Mit entsprechenden NMOS und PMOS Transistoren



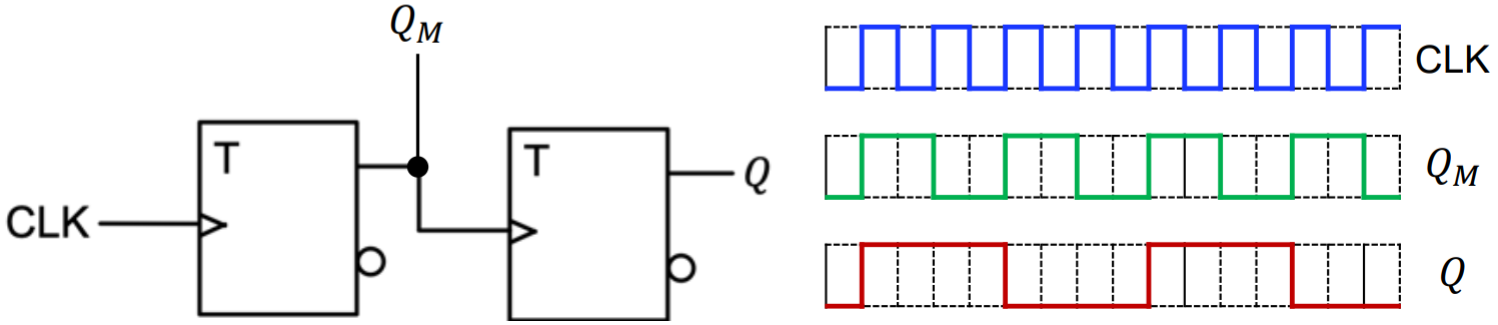
Theorie – Anwendungen von T-Flipflop

- Frequenzteiler: Periode T eines Taktsignals verlängern

Frequenzreduktion um einen Faktor 2



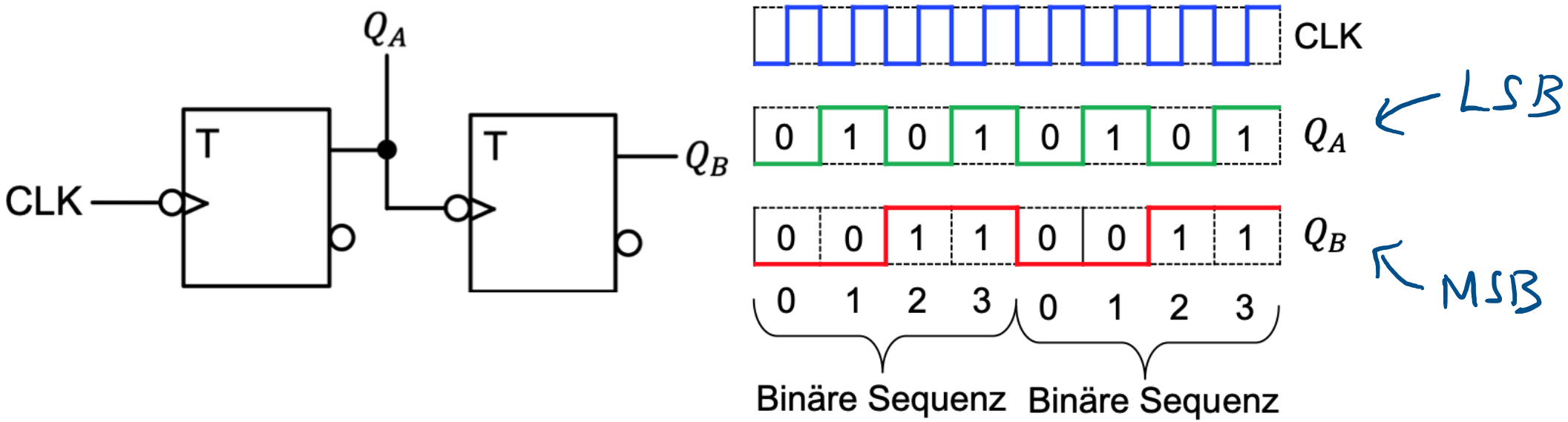
Frequenzreduktion um einen Faktor 4



- Mit n T-FF kann Frequenz um 2^n geteilt werden

Theorie – Anwendungen von T-Flipflop

- Zähler
- Mit n T-FFs kann man von 0 bis (2^n)-1 zählen



Prüfungsaufgaben (FS 2020)

Teilaufgabe 1: Latches und Flipflops

Abbildung D1: Bauelemente

Aufgaben

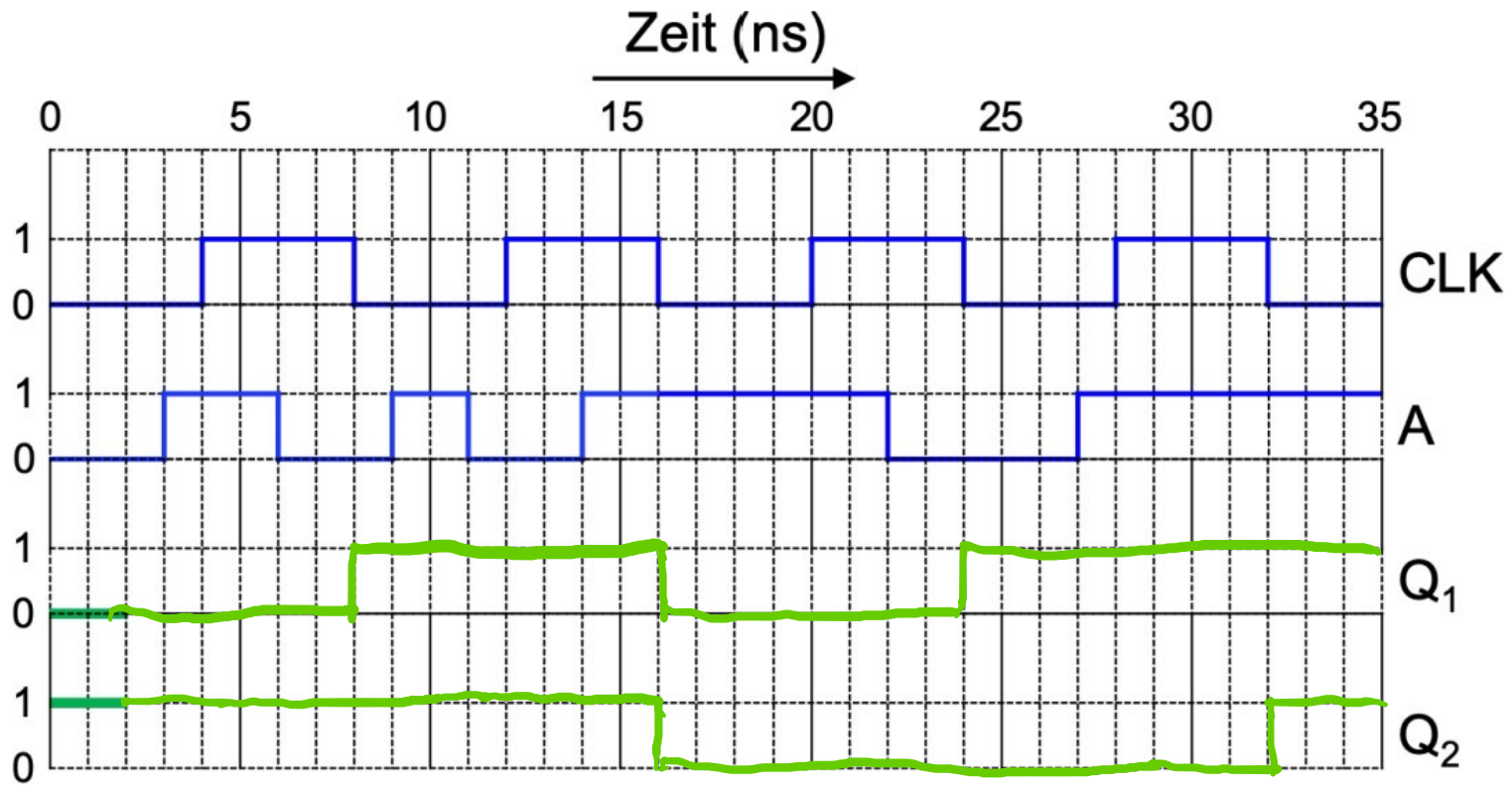
1. Benennen Sie die Bauelemente aus Abbildung D1. Beschreiben Sie auch, wie sie vom CLK Signal gesteuert werden. (2 Punkte)

links: D-Leader-Follower-Flipflop mit steigender aktiver Taktflanke (liest bei steigender TF ein und führt dies bei nächster fallender TF aus)

rechts: T-Flipflop mit fallender aktiver Taktflanke

Prüfungsaufgaben (FS 2020)

2. Zeitdiagramm für die Bauelemente aus Abbildung D1:



Prüfungsaufgaben (FS 2021)

Bemerke:
Es wäre ein normales D-Flipflop aber da $\bar{Q}$ in den Eingang des D-Flipflops gezogen wird, entspricht dies einem T-Flipflop

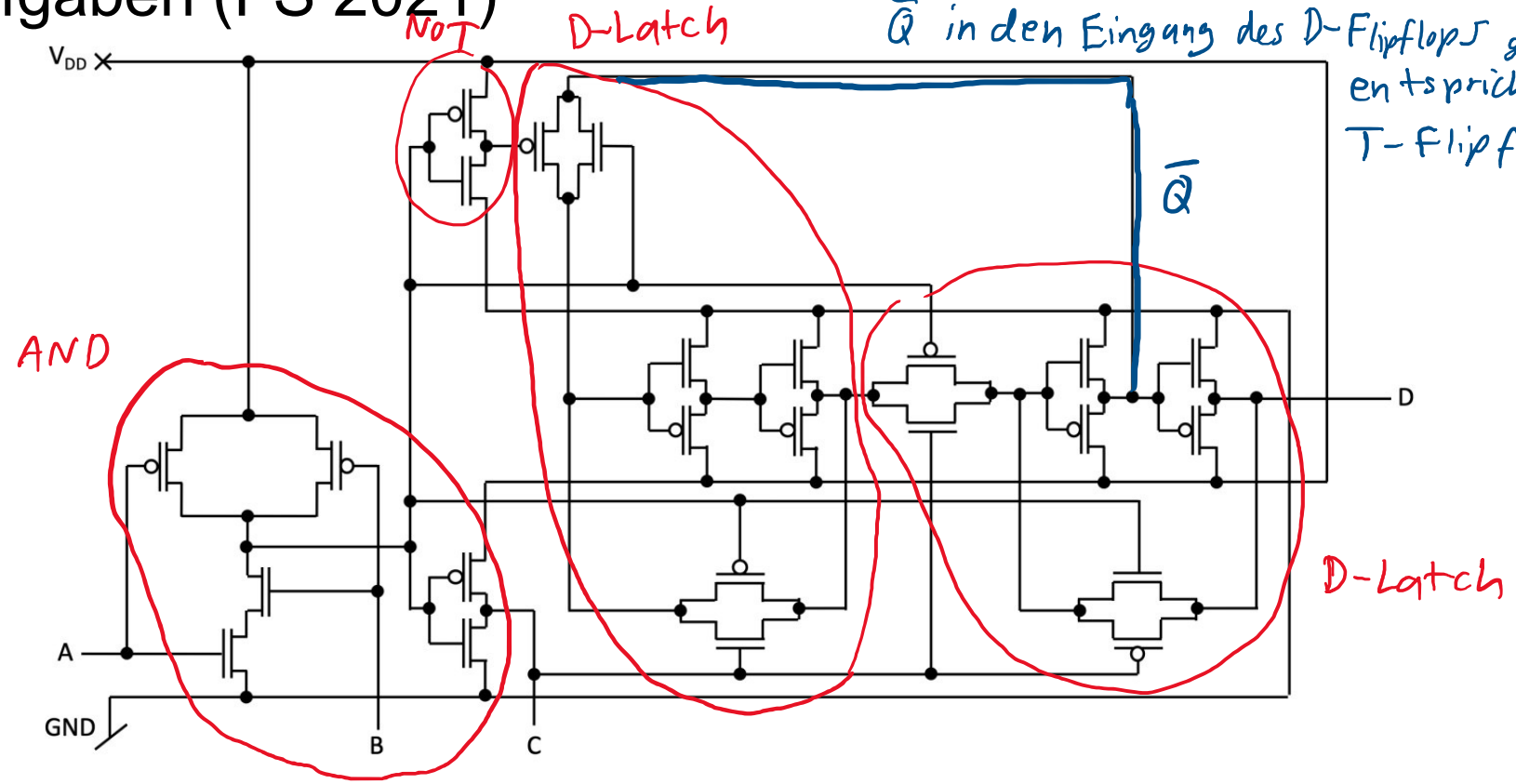
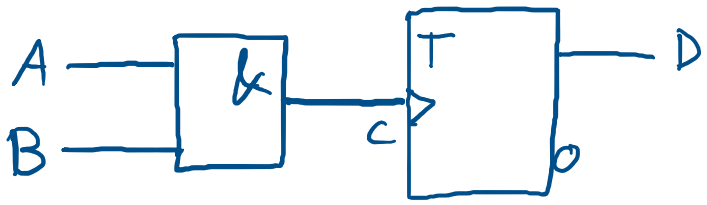


Abbildung B1: CMOS Schaltung

1. Markieren und bezeichnen Sie die CMOS Blöcke in der Schaltung auf dem Lösungsblatt. Wenn mehrere Blöcke gruppiert werden können, um ein einziges Bauelement zu realisieren, dann muss nur der gesamte Block markiert werden, z.B. NOR+INVERTER→OR. Bilden Sie aber keinen Block, der aus mehr als 8 CMOS Transistoren besteht. (4 Punkte)

Prüfungsaufgaben (FS 2021)

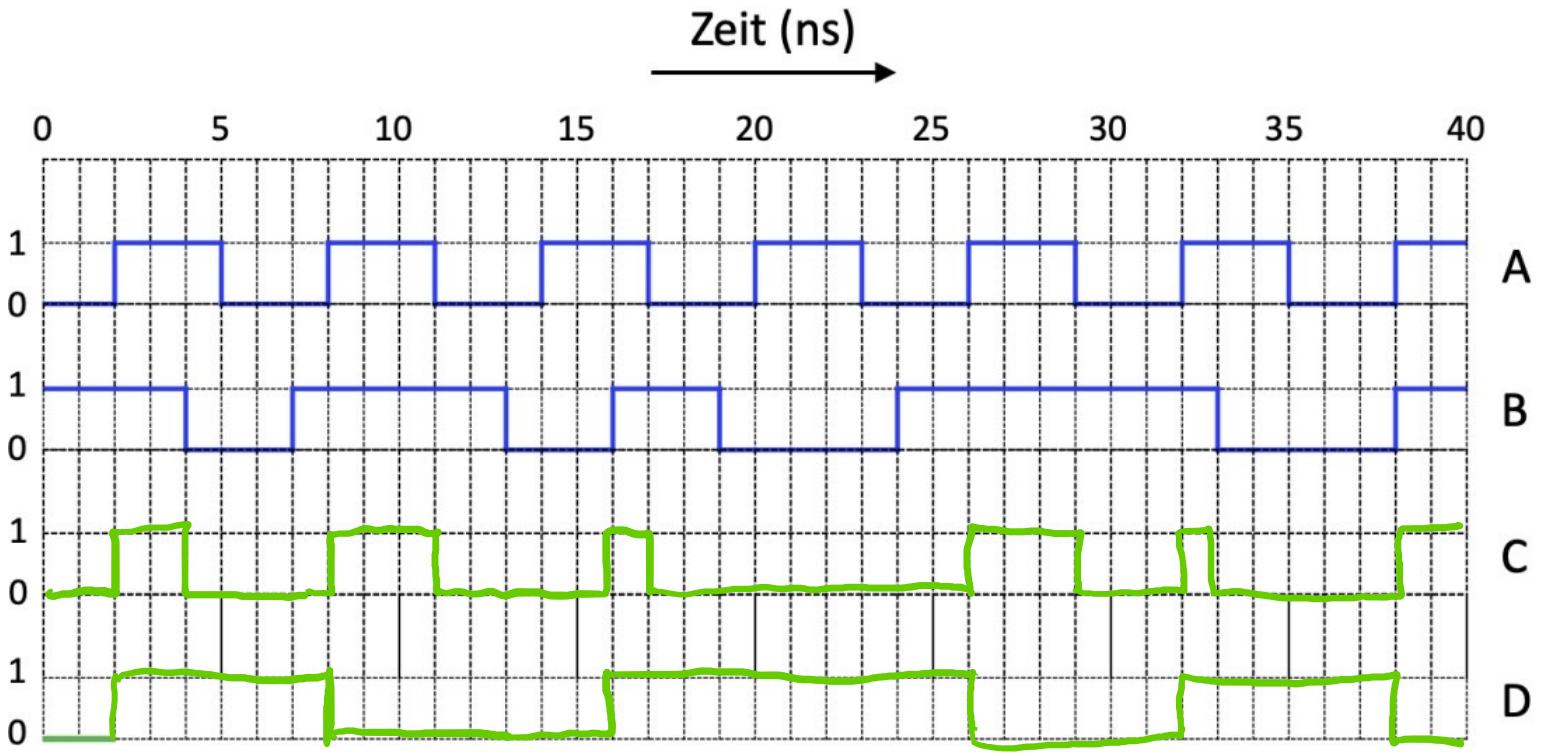
2. Zeichnen Sie die entsprechende Schaltung auf dem Lösungsblatt, indem Sie die minimale Anzahl an Bauelementen (Gatter, Addierer, Multiplexer, sequentielle Schaltung, Speicherzelle, $\cdots$) benutzen. Ihre üblichen Schaltzeichen müssen dafür benutzt werden. Die Variablen A, B, C und D sollten sichtbar sein. (2 Punkte).



Prüfungsaufgaben (FS 2021)

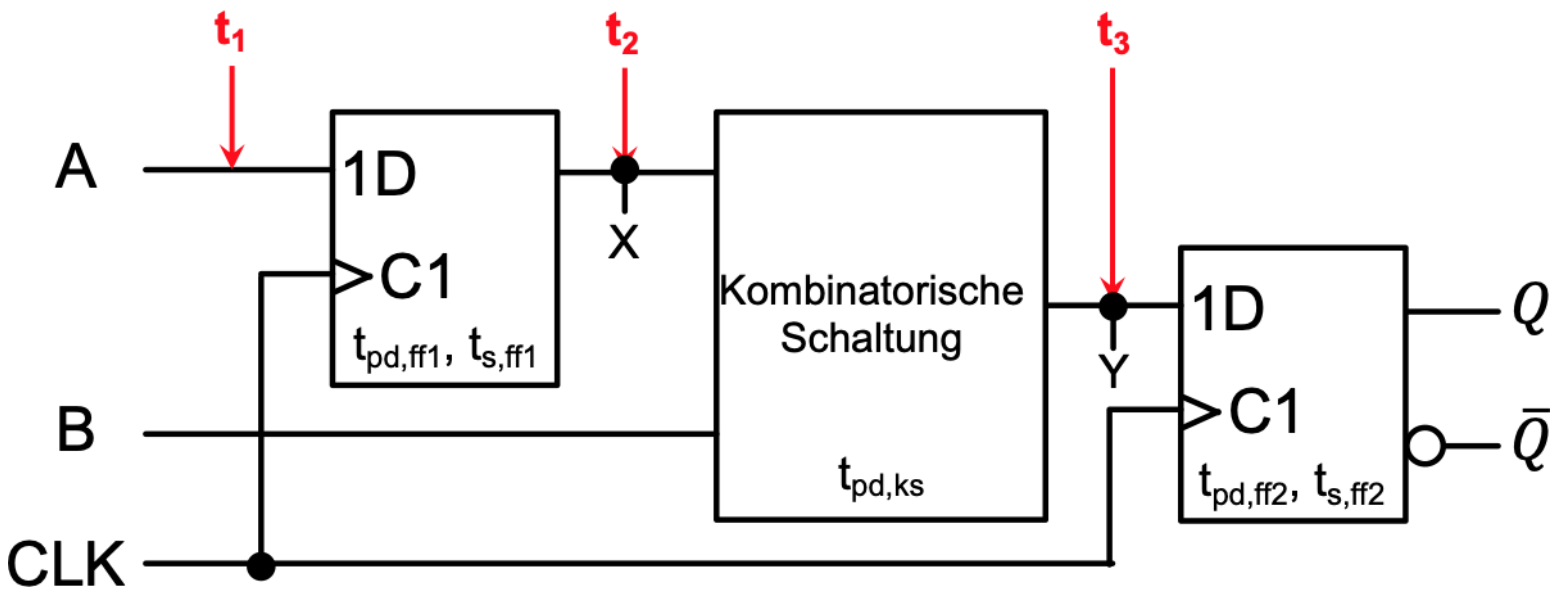
3. Vervollständigen Sie das Zeitdiagramm auf dem Lösungsblatt für die Variablen C und D als Funktion von A und B. Nehmen Sie an, dass alle Bauelemente ideal sind und keine Verzögerungs-, Halte- oder Vorbereitungszeiten aufweisen. (4 Punkte)

3. Zeitdiagramm



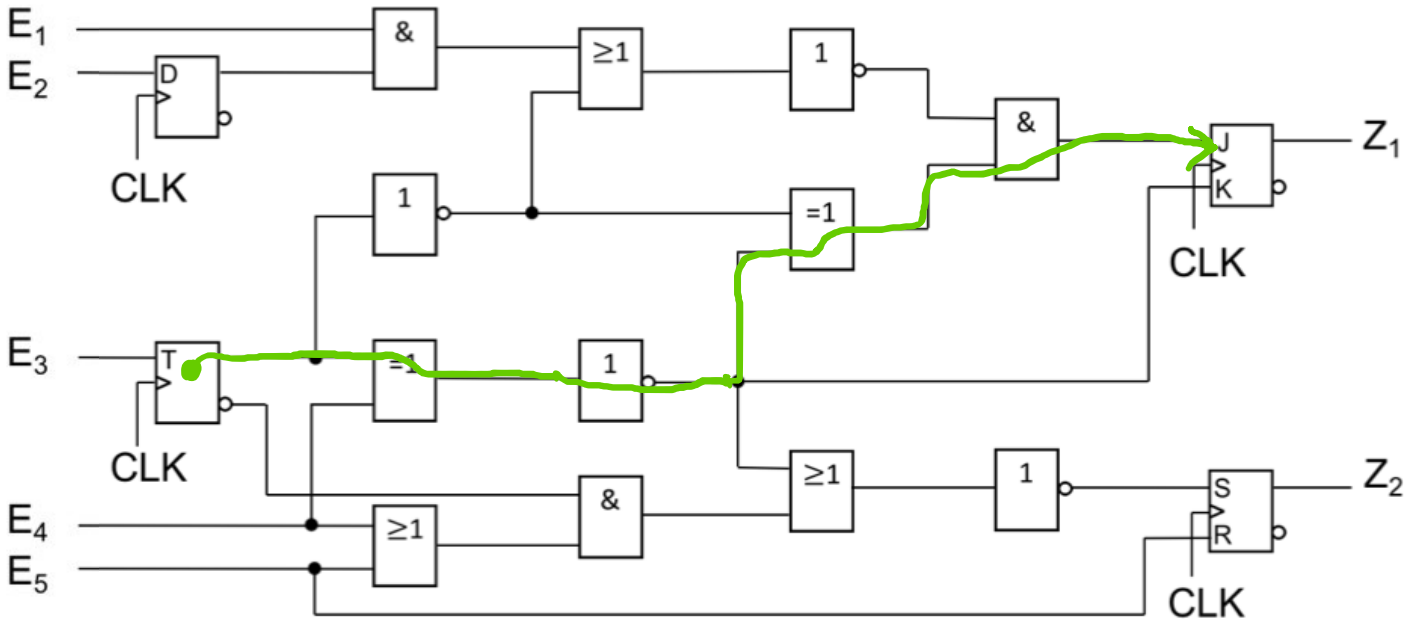
Repetition – Maximale Taktfrequenz

- Minimale Taktperiode: $T_{min} = t_{pd,ff1} + t_{pd,ks} + t_{s,ff2}$
- Maximale Taktfrequenz: $f_{max} = 1/T_{min}$
- Entscheidend ist der längste Pfad



Aufgabe – Maximale Taktfrequenz

- Finde den längsten Signalpfad
- Maximale Taktfrequenz?



D-Flipflop Setup-Zeit	$t_{setup,dff}$	6 ns
D-Flipflop Durchlaufzeit	$t_{pd,dff}$	5 ns
D-Flipflop Hold-Zeit	$t_{hold,dff}$	5 ns
T-Flipflop Setup-Zeit	$t_{setup,tff}$	2 ns
T-Flipflop Durchlaufzeit	$t_{pd,tff}$	4 ns
T-Flipflop Hold-Zeit	$t_{hold,tff}$	1 ns
JK-Flipflop Setup-Zeit	$t_{setup,jkff}$	3 ns
JK-Flipflop Durchlaufzeit	$t_{pd,jkff}$	8 ns
JK-Flipflop Hold-Zeit	$t_{hold,jkff}$	6 ns
SR-Flipflop Setup-Zeit	$t_{setup,srff}$	2 ns
SR-Flipflop Durchlaufzeit	$t_{pd,srff}$	9 ns
SR-Flipflop Hold-Zeit	$t_{hold,srff}$	6 ns
NOT Durchlaufzeit	$t_{d,not}$	1 ns
XOR Durchlaufzeit	$t_{d,xor}$	4.5 ns
AND Durchlaufzeit	$t_{d,and}$	3 ns
OR Durchlaufzeit	$t_{d,or}$	4 ns

Aufgabe – Maximale Taktfrequenz

$$T_{min} = t_{pd,tff} + t_{d,xor} + t_{d,not} + t_{d,xor} + t_{d,and} + t_{s,jkff} = 20ns$$

$$\Rightarrow f_{max} = \frac{1}{T_{min}} = 50MHz$$